

PECVD法制备新型Cu-Gr复合材料用于未来互连

王璐伟, 王伟*, 梁旭婷, 马勤政

河北工业大学电子信息工程学院, 天津市电子材料与器件重点实验室, 天津 300401

* 联系人, E-mail: wangwei@hebut.edu.cn

2024-07-08 收稿, 2024-09-24 修回, 2024-09-26 接受, 2024-09-26 网络版发表

河北省自然科学基金(F2019202377)资助

摘要 随着后端互连间距和横截面积的持续减小, Cu面临着电阻率、电迁移和RC延迟等挑战. 石墨烯覆盖Cu后形成的复合材料(Cu-Gr), 可以显著降低Cu线电阻率, 提高其电流密度与抗电迁移性能, 能有效应对当前纯Cu互连所面临的挑战. 本文首先采用物理气相沉积(physical vapor deposition, PVD)制备了100 nm厚的Cu膜, 并通过Ar⁺射频清洗改善了其表面能. 然后利用等离子体化学气相沉积(plasma enhanced chemical vapor deposition, PECVD)在Cu表面沉积石墨烯, 通过调节衬底偏压至75 V, 最终在Cu表面沉积出了具有低缺陷密度、较高平整度的少层石墨烯结构的碳薄膜. 随后, 对Cu-Gr进行了350℃热退火处理来改善其导电性能. 结果表明, 热退火处理前, 在75 V衬底偏压下Cu-Gr的电导率最高, 相比较热退火前的Cu, 其电导率提升12.64%. 热退火处理后, 在50 V衬底偏压下Cu-Gr的电导率最高, 相比较热退火后的Cu, 其电导率提升12.75%. 此外, ANSYS有限元分析表明将Cu-Gr应用于超大规模集成电路(very large scale integration circuit, VLSI)互连结构中, 在通孔附近的等效热应力最高, 其值为35.8 MPa. 上层Cu-Gr互连位置等效弹性应变最大, 其值为 1.1×10^{-4} .

关键词 新型互连材料, 石墨烯, 等离子体化学气相沉积, 衬底偏压, 电导率, 热应力

后端互连指的是芯片顶部与复杂布线之间的互连, 主要涉及芯片的金属互连、接触、通孔以及绝缘层等多层次结构的制造^[1]. Cu自从1997年凭借着低的电阻率和良好的抗电迁移性能取代Al作为后端互连材料以来^[2], 一直沿用至今. 随着后端互连的间距和横截面积的不断收缩^[3], Cu作为后端互连材料问题日渐凸显. 在电阻率方面, 由于表面和晶界电子散射效应的增强, 以及线边缘粗糙度的增加, 导致互连线的电阻率不断上升^[4]; 在电迁移寿命方面, 随着互连线的线宽尺寸的不断降低, 导致互连线的电流密度大幅增加, 并产生焦耳热, 进而加速Cu线的电迁移过程^[5]; 在RC延迟方面, 由于导线横截面积减小引起的电阻值增加以及互连间距降低引起的寄生电容效应, 导致互连线的RC延迟增大^[6]. 例如, 在5 nm节点下, 互连电阻对总RC延迟的影

响约占50%^[7].

碳基纳米材料, 如碳纳米管和石墨烯纳米带, 具有诸多优越特性. 然而, 在将它们应用于互连材料之前, 仍有许多问题需要解决^[8]. 例如, 尽管单壁碳纳米管的载流密度($\sim 10^{10}$ A/cm²)是Cu的2~3个数量级^[9], 但由于其存在不完美的金属纳米管接触, 在300 K温度下其直流电阻高达100 k Ω ^[10,11]. 对于石墨烯纳米带而言, 其导电性能容易受到杂质和缺陷的影响, 并且窄带边缘散射效应也进一步限制了其在后端互连中应用^[12]. 已有理论和实验研究表明, 纳米碳与金属的结合作为互连材料, 能够巧妙地融合两种材料的优势, 有效克服因互连材料持续缩放而引起的电迁移问题^[13,14]. 石墨烯作为Cu表面优异的覆盖层材料^[3,15,16], 一方面可以降低Cu线的电阻率, 提高Cu线的临界电流密度和抗电迁移

引用格式: 王璐伟, 王伟, 梁旭婷, 等. PECVD法制备新型Cu-Gr复合材料用于未来互连. 科学通报, 2024, 69: 5183–5194

Wang L W, Wang W, Liang X T, et al. Preparation of new Cu-Gr composite materials for future interconnects by PECVD (in Chinese). Chin Sci Bull, 2024, 69: 5183–5194, doi: 10.1360/TB-2024-0737

能力^[17]。另一方面,石墨烯显著的面内刚度和不渗透性,能够防止涂覆后Cu表面电势发生扰动,成为Cu纳米线表面覆盖的优秀阻挡层材料^[16,18]。此外,直接在Cu表面覆盖石墨烯,与直接蚀刻Cu工艺相兼容,是标准双金属工艺有前途的替代方案^[8]。

目前,研究者们已经对Cu-Gr作为互连材料进行了大量研究。例如, Mehta等人^[16]在1000℃下对Cu纳米结构进行热退火处理,结果表明长时间高温处理会导致薄Cu结构遭到严重破坏。因此,快速、低温的制备工艺来保证Cu-Gr的完整性是必不可少的。Jeong等人^[13]采用转移工艺将在Cu-Ni合金上生长的几纳米厚度的多层石墨烯转移到Cu线上,将Cu互连的最大电流密度提升至 1.6×10^8 A/cm²,约为Cu的7倍。但是转移过程容易导致石墨烯样品受到污染,同时,由于选择性缺乏和界面性质不受控制,在Cu纳米线上直接合成石墨烯变得十分有必要。

等离子体化学气相沉积(plasma enhanced chemical vapor deposition, PECVD)工艺利用等离子体中的高能电子,可以在相对较低的温度条件下打开碳前驱体间的化学键,促进了气体分子的分解、化合、激发和电离过程,使得活性原子团中的碳原子能够沉积在基底上,进而形成石墨烯。这使得整个反应过程可以在较低的温度下实现石墨烯的生长,与当前硅基集成电路工艺相兼容^[19,20]。

为解决当前新型互连材料Cu-Gr制备过程中存在的高温问题及转移工艺挑战,本文采用PECVD法直接在Cu表面原位沉积石墨烯。首先,使用物理气相沉积(physical vapor deposition, PVD)工艺制备100 nm厚度的Cu膜作为衬底。然后,利用Ar⁺射频清洗改善Cu膜的表面形貌与表面能,为后续石墨烯生长创造有利条件。接着,通过PECVD工艺在Cu衬底上原位沉积石墨烯,并通过控制反应过程中衬底偏压,最终在Cu表面沉积出少层的石墨烯结构的碳薄膜。同时,对Cu-Gr进行

350℃热退火处理,研究热退火处理前后Cu-Gr的导电性能。此外,使用ANSYS有限元分析工具,对超大规模集成电路(very large scale integration circuit, VLSI)中双层Cu-Gr互连结构的等效热应力与等效弹性应变分布情况进行分析。

1 实验

1.1 Cu薄膜的制备

图1为Cu-Gr复合材料制造过程示意图。首先,采用PVD工艺在4英寸Si/SiO₂晶圆上溅射一层Ti,作为黏附层。随后,在Ti层之上继续溅射一层100 nm厚的Cu膜。之后,样品被切割为1.5 cm×1.5 cm的大小。在进行石墨烯沉积之前,使用去离子水、无水乙醇对样品分别超声清洗5 min,然后使用氮气吹干。清洗后有效地去除了Cu表面的颗粒状污染物和有机杂质(图S1(a), (b))。

1.2 石墨烯薄膜的制备

将清洗好的样品进行Ar⁺射频清洗处理,随后采用PECVD (RF, 13.65 MHz)工艺在Cu表面沉积石墨烯,如图2(a)所示。在生长期间,沉积室内的温度与压强随时间的变化关系如图2(b)所示。具体的制备过程如下。

(1) 加热阶段: 将样品在低压环境下(100 Pa)缓慢加热至600℃。

(2) 清洗阶段: 通入Ar (20 sccm)对样品进行射频清洗。其中,射频功率为100 W,压强为100 Pa,清洗时间为3 min。经过Ar⁺射频清洗后,Cu表面的氧化物及化学污染物得到了进一步清除。同时,这一过程降低了表面粗糙度,极大地提升了Cu表面的平整度(图S1(c), (d)),并增大了Cu表面的晶粒尺寸(图S1(e), (f))。此外,经过Ar⁺射频清洗后的Cu表面展现出了更好的润湿性能(图S1(g), (h)),为后续石墨烯的生长创造了有利条件。

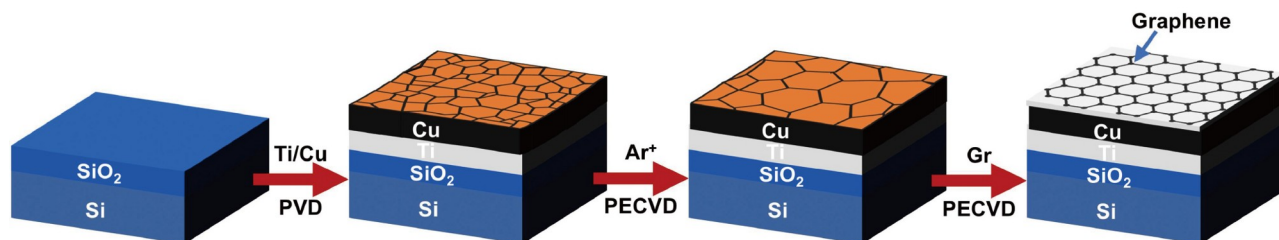


图1 (网络版彩色)Cu-Gr复合材料制造过程示意图

Figure 1 (Color online) Schematic diagram of the manufacturing process for Cu-Gr composite materials

(3) 生长阶段: 通过喷淋头将Ar (40 sccm)、H₂ (2 sccm)、CH₄ (4 sccm)气体混合物引入腔室中, 分别控制

不同的衬底偏压(25、50、75、100 V). 其中, 射频功率为100 W, 压强为200 Pa, 生长时间为6 min. 生长时间定

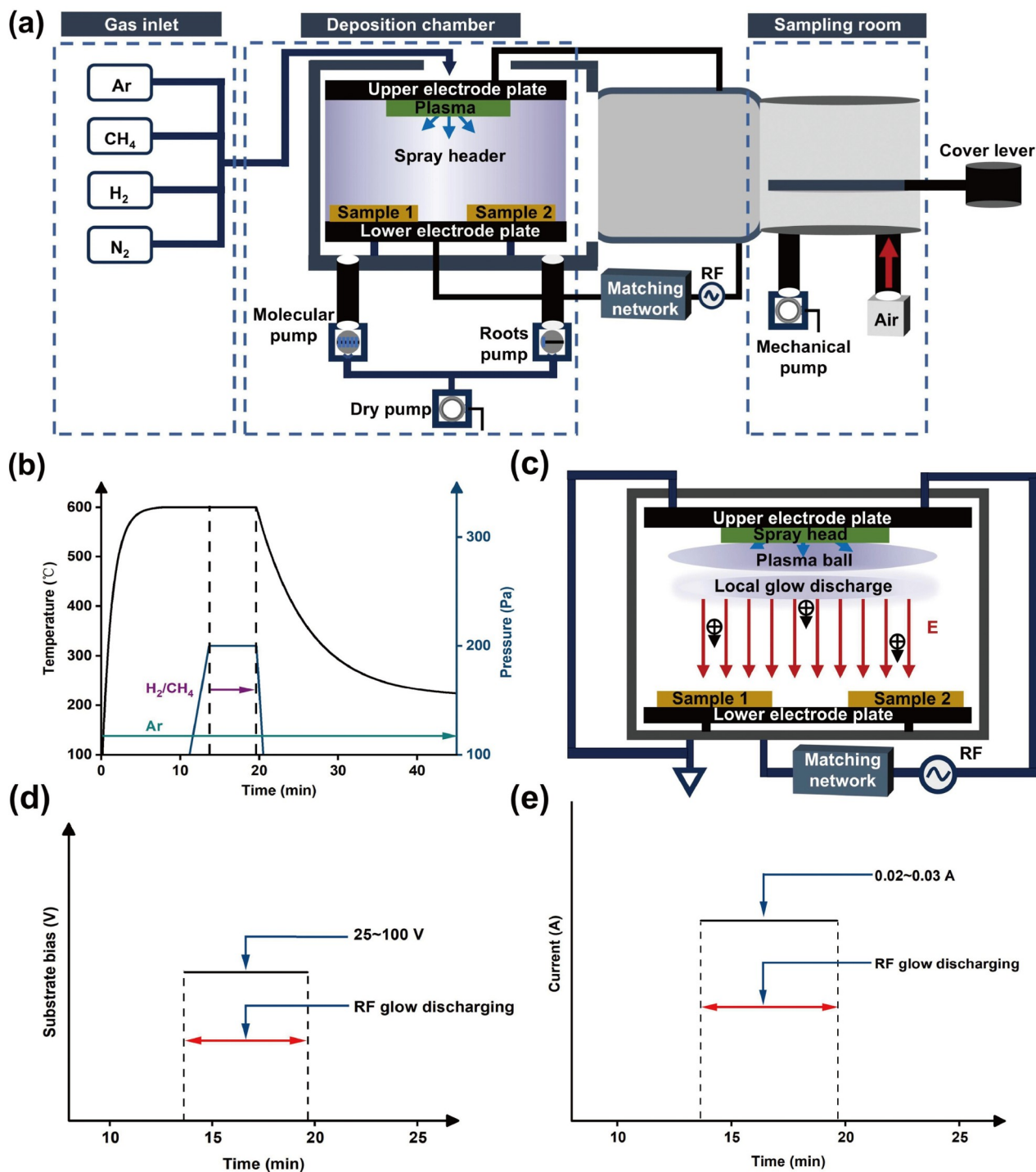


图2 (网络版彩色) PECVD法制备石墨烯的工艺参数与放电特性. (a) PECVD装置示意图; (b) PECVD镀膜过程中沉积室内温度与压强随时间的变化关系; (c)~(e) PECVD镀膜过程中衬底偏压放电示意图及相应的电压、电流随时间的变化关系

Figure 2 (Color online) Process parameters and discharge characteristics of graphene preparation via PECVD. (a) Schematic diagram of the PECVD setup; (b) temporal variations of temperature and pressure in the deposition chamber during graphene coating via PECVD; (c)~(e) illustration of substrate bias discharge and corresponding temporal variations of voltage and current during graphene coating via PECVD

义为射频功率达到100 W, 衬底偏压施加后将 H_2 与 CH_4 注入到沉积室的持续时间. 如图2(c)所示, 在PECVD系统中施加的衬底偏压会形成局部电场, 该电场会加速等离子体向衬底方向运动, 相应的电压与电流随时间的变化关系如图2(d), (e)所示.

(4) 降温阶段: 镀膜结束后, 将沉积室压强调整为100 Pa, 并将样品在Ar (40 sccm)气流中冷却至200℃, 随后将其送回至进样室.

1.3 样品的表征

使用光学显微镜(optical microscope, OM) (BX51M, Olympus)来表征样品的形貌. 使用激光拉曼光谱仪(Renishaw, Invia)来表征样品的石墨烯结构, 并通过洛伦兹函数拟合提取光谱中峰值信息. 其中, 激发激光束波长为532 nm, 聚焦点处激光功率为1 mW. 使用原子力显微镜(atomic force microscope, AFM) (5600LS, Keysight)来表征样品的粗糙度, 并通过Gwyddion软件对AFM图像处理获得3D表面形貌图以及表面高度变化细节. 其中, 表征区域为 $2\mu m \times 2\mu m$. 使用扫描电子显微镜(scanning electron microscope, SEM) (Sigma 500, Zeiss)来表征样品的碳颗粒, 并通过Nano Measurer软件对其尺寸进行统计分析. 使用接触角测量仪(JC2000DM, Powereach)来表征样品的接触角值. 使用台阶测量仪(XP-300, MMN International)来表征样品的厚度. 使用四探针电阻率测量仪(333A, Model)来表征样品的电阻率.

2 结果与讨论

2.1 Cu-Gr的表征与分析

2.1.1 Cu-Gr的石墨烯结构

图3为不同衬底偏压下样品的拉曼光谱图及其关键峰值数据. 通常情况下, 拉曼光谱中D峰与G峰强度比(I_D/I_G)反映石墨烯的缺陷密度, 2D峰与G峰强度比(I_{2D}/I_G)及2D带半峰宽(2D-FWHM)用于估算石墨烯的层数^[21], 但是石墨烯结晶性缺陷会影响2D峰^[22]. 当偏压为25和50 V时, 并没有出现2D峰, 表明Cu表面没有石墨烯结构产生. 然而, 当偏压提升至75和100 V时, 出现了2D峰, 表明在Cu表面成功沉积出了石墨烯结构. 这是由于在低衬底偏压下, 向衬底方向运动的等离子体能量较低, 限制了它们在衬底表面的迁移和重组能力^[23]. 进一步分析75和100 V下样品的拉曼光谱数据,

可以发现75 V偏压下制备的样品具有更低的 I_D/I_G 值, 表明此时样品表面石墨烯结构具有更低的缺陷密度, 并且其更高的 I_{2D}/I_G 和更窄的2D-FWHM值初步表明其层数更低. 考虑到石墨烯的 I_{2D}/I_G 以及2D-FWHM值会受其结晶性缺陷影响, 进一步通过台阶测量仪获得75和100 V偏压下Cu表面的碳薄膜厚度分别为12.6和14.5 nm, 与拉曼光谱分析的75 V偏压下具有更低石墨烯层数的推断保持一致. 相较于100 V偏压, 75 V偏压下能减弱等离子体对Cu表面的轰击, 同时其较低的成核密度和适中的生长速率有利于低缺陷密度、少层的石墨烯结构形成^[24]. 这种结构不仅能形成高效的电子导电通道, 提升导电性能, 还能通过减少热传导能量损失以及降低层间热阻提升热传导效率^[25].

2.1.2 Cu-Gr的表面形貌

图4为不同衬底偏压下样品的AFM图像与表面高度变化细节. 随着偏压从25 V提升至50 V, 样品的表面均方根(root mean square, RMS)粗糙度从3.89 nm升高至5.63 nm, 表面形貌变得不均匀, 不规则峰谷增多. 结合前面拉曼光谱数据, 表面不规则峰谷主要源于无定型碳的堆积, 而在50 V偏压下会进一步加速等离子体向衬底方向运动, 进而导致在Cu表面聚集了更多的不规则峰谷^[26]. 随着偏压升至75 V, 样品的RMS值下降至4.66 nm, 表面起伏降低, 不规则峰谷减少, 表面形貌趋于平坦化. 这种平坦化的表面形态能降低电子散射作用, 提升Cu-Gr的导电性能, 并减少热应力聚集区域, 促进热量向周围扩散^[27,28]. 继续将偏压提升至100 V, 样品的RMS值却增至5.11 nm, 表面出现了较大的起伏. 这是因为在75 V偏压下, 等离子体能量适中, 促进了 CH_4 分解后的活性基团以适宜速率均匀扩散至衬底表面, 展现出较高的平整度. 但是在100 V偏压下会加剧等离子体的聚焦效应, 对衬底表面区域造成不均匀侵蚀, 导致活性基团在衬底上发生聚集性堆积, 从而在表面形成了较大的起伏^[29]. 其中, 样品表面 $20\mu m \times 20\mu m$ 范围内的表面形貌及其 $2\mu m \times 2\mu m$ 局部区域检测位点请参考图S2.

2.1.3 Cu-Gr的表面碳颗粒

图5(a)和(b)分别为75和100 V衬底偏压下Cu表面上覆盖的具有石墨烯结构的碳颗粒SEM图像. 在这两种偏压下, Cu表面碳颗粒均维持在较小尺寸范围内, 但是在100 V偏压下Cu表面碳颗粒的密度较高. 这是因为高偏压会增强衬底附近的局部电场, 加速 CH_4 电离后活性基团向衬底方向的迁移, 为碳颗粒成核提供了丰

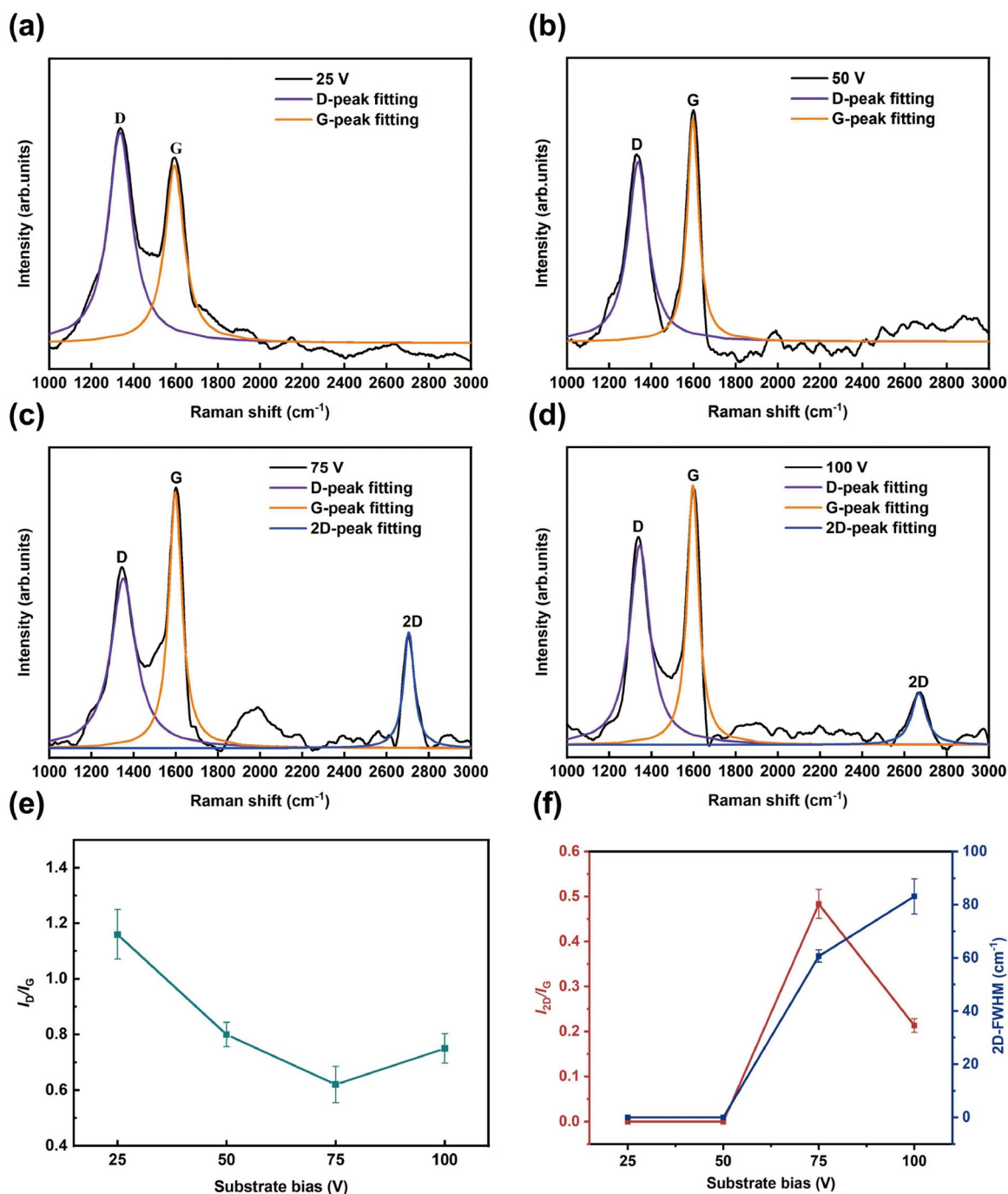


图 3 (网络版彩色)25、50、75、100 V衬底偏压下样品的拉曼光谱图及其关键峰值数据. (a)~(d) 不同偏压下样品的拉曼光谱图及其峰值拟合曲线; (e), (f) 不同偏压下拉曼光谱的 I_D/I_G 值、 I_{2D}/I_G 值和2D-FWHM值

Figure 3 (Color online) Raman spectra and key peak data of samples at substrate biases of 25, 50, 75, and 100 V. (a)~(d) Raman spectra and corresponding peak fitting curves of samples at different biases; (e), (f) I_D/I_G , I_{2D}/I_G , and 2D-FWHM values of Raman spectra at varying biases

富的碳源^[23]. 进一步分析表面碳颗粒尺寸, 如图5(c)和(d)所示. 结果表明, 在75 V偏压下碳颗粒平均尺寸达到峰值50.46 nm, 而在100 V偏压时略降至49.63 nm, 并

且二者比较接近. 这是因为在600 $^{\circ}\text{C}$ 下Cu的催化活性不足, 限制了碳原子在Cu表面扩散, 难以形成大尺寸的碳颗粒. 尽管二者的主要尺寸集中处于25~100 nm

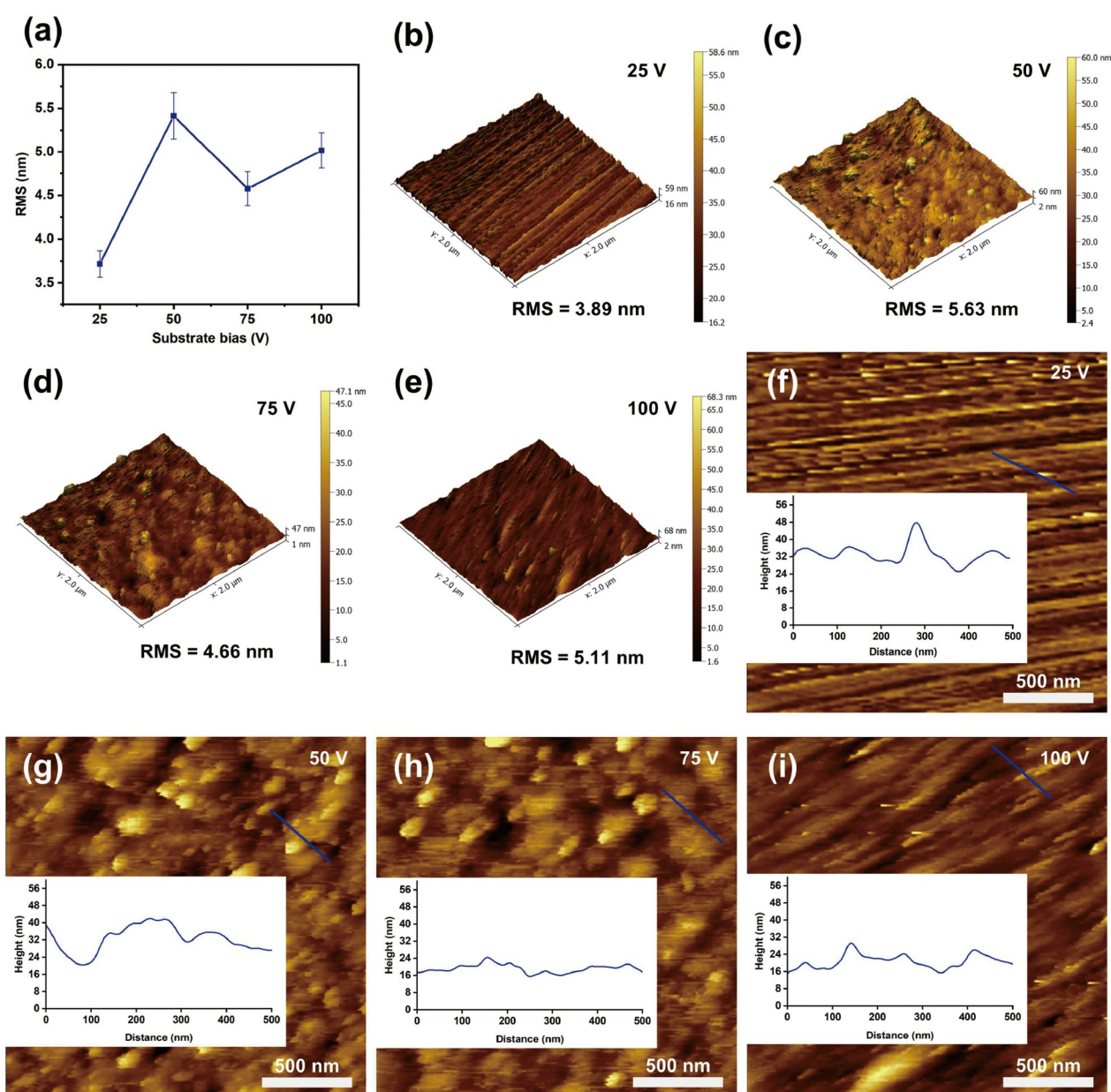


图 4 (网络版彩色)25、50、75、100 V衬底偏压下样品的AFM图像与表面高度变化细节. (a) 不同偏压下样品的RMS值; (b)~(e) 不同偏压下样品的3D形态AFM图像; (f)~(i) 不同偏压下样品的局部高度变化细节

Figure 4 (Color online) AFM images and surface height variation details of samples at substrate bias voltages of 25, 50, 75, and 100 V. (a) RMS values of samples at different bias voltages; (b)~(e) 3D morphological AFM images of samples at different bias voltages; (f)~(i) local height variation details of samples at different bias voltages

范围内,但在100 V偏压下,较大的碳颗粒尺寸占比较高.这表明尽管低温环境会对碳颗粒生长构成一定限制,但通过提高衬底偏压,可以增强碳颗粒的成核速率,并促进已成核碳颗粒的进一步聚集与长大^[30,31].这些大尺寸碳颗粒不仅有利于电子传输,提高Cu-Gr的导电性能,而且在高度石墨化的碳材料中,大尺寸

碳颗粒可以增强声子导热机制,有效改善其导热性能^[30].

2.2 Cu-Gr的电导率

图6(a)和(b)为350℃热退火处理前后Cu-Gr的电导率及其增强率.在热处理前,随着衬底偏压的增加,Cu-

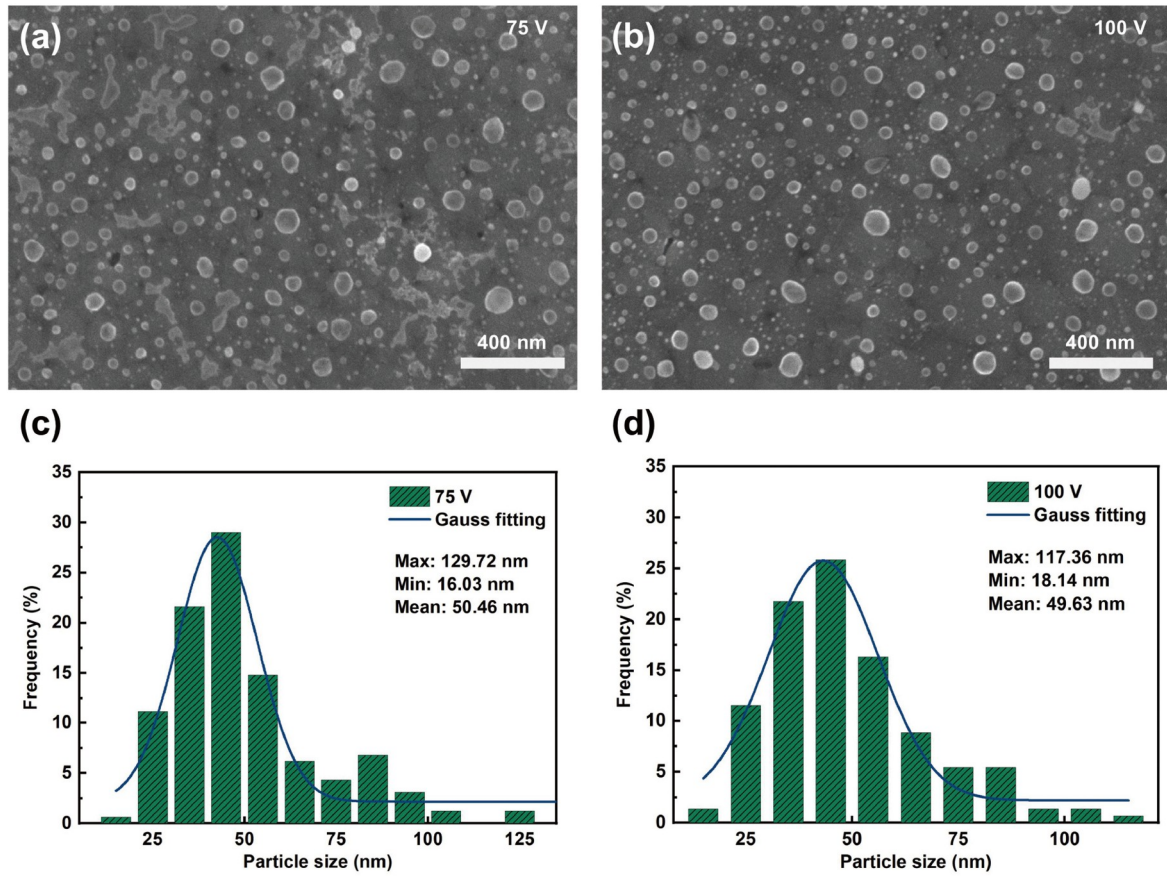


图 5 (网络版彩色)75和100 V衬底偏压下Cu表面碳颗粒的SEM图像及其尺寸分布. (a), (b) 75和100 V偏压下Cu表面碳颗粒的SEM图像; (c), (d) 75和100 V偏压下Cu表面碳颗粒的尺寸分布

Figure 5 (Color online) SEM images and size distributions of carbon particles on Cu surface at substrate bias voltages of 75 and 100 V. (a), (b) SEM images of carbon particles on Cu surface at bias voltages of 75 and 100 V, respectively; (c), (d) size distributions of carbon particles on Cu surface at bias voltages of 75 and 100 V, respectively

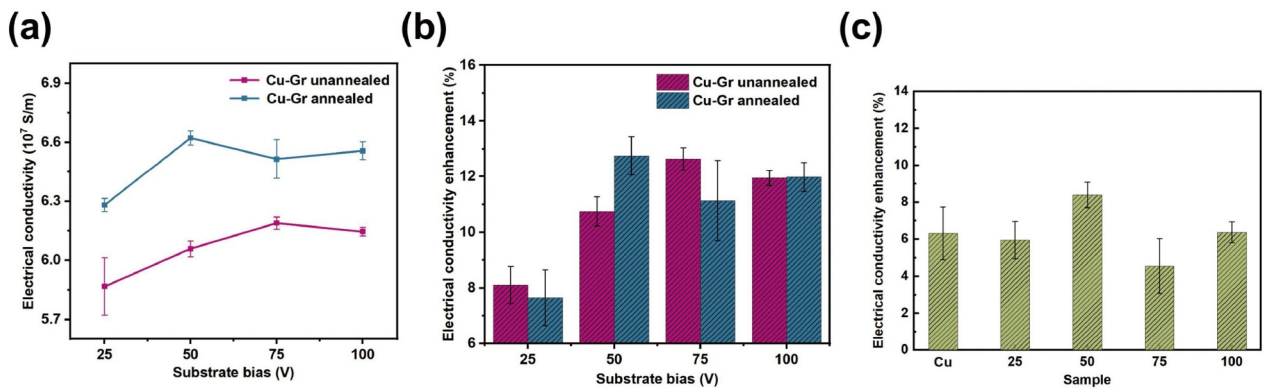


图 6 (网络版彩色)350°C热退火对Cu与Cu-Gr导电性能的影响. (a) Cu-Gr在热退火前后的电导率变化; (b) Cu-Gr相对于Cu在热退火前后的电导率增强率; (c) 热退火后Cu与Cu-Gr相对于各自热退火前的电导率增强率

Figure 6 (Color online) Impact of 350°C thermal annealing on the electrical conductivity of Cu and Cu-Gr. (a) Change in electrical conductivity of Cu-Gr before and after thermal annealing; (b) enhancement ratio of electrical conductivity of Cu-Gr relative to Cu before and after thermal annealing; (c) enhancement ratio of electrical conductivity of Cu and Cu-Gr after thermal annealing compared to their respective states before thermal annealing

Gr的电导率呈上升的趋势,并在75 V偏压下降至最高的 6.17×10^7 S/m, 低于未经处理Cu的电导率(5.41×10^7 S/m). 进一步分析发现,在75和100 V偏压下Cu-Gr的电导率分别提高了12.64%和11.95%. 这主要归因于高偏压下在Cu表面沉积出了石墨烯结构,而在75 V偏压下表面石墨烯结构不仅层数低,还具有更低的缺陷密度和更高的表面平整度,因此具有更好的导电性能. 经过热退火处理后,Cu-Gr的电导率均明显高于热退火前的样品. 尤其在50 V偏压时,其电导率升至最高的 6.62×10^7 S/m,相较于热退火后Cu的电导率(5.78×10^7 S/m),其电导率提升了12.75%.

为了进一步分析热退火过程对Cu-Gr导电性能的影响,计算了热退火处理前后Cu和Cu-Gr电导率的增强率,如图6(c)所示. 经过热退火处理后,Cu的电导率提升了6.65%. 这一改善主要源于热退火过程中Cu表面晶粒尺寸的增加,降低了晶界散射作用^[15](图S3(a), (b)). 对于不同偏压下制备的Cu-Gr样品,热退火处理均带来了不同程度的导电性能改善. 其中,在偏压为25和50 V时,Cu-Gr的电导率分别提升了5.96%和8.39%,这主要得益

于热退火处理不仅降低了Cu表面的晶界比例,从而降低了电子散射的不利影响^[15],而且还改善了Cu表面覆盖的碳薄膜的缺陷密度,有利于电子在碳层中传输(图S3(c), (d)). 在偏压为75和100 V时,Cu-Gr的电导率分别提升了4.55%和6.37%,这是因为热退火过程还有效地降低了表面粗糙度,并有利于Cu与Gr形成良好的接触^[15],进而提升了Cu与Gr之间的电子传输效率. 而在100 V偏压下,样品表面覆盖石墨烯结构的质量相对较差,经过热退火处理后,其电导率得到了更大的提升.

2.3 Cu-Gr的热应力

2.3.1 模型构建与载荷约束

使用ANSYS Workbench对Cu-Gr应用于VLSI互连模型的热应力进行仿真分析,构建了一个具有两级过孔的双层大马士革工艺Cu互连的三维结构,作为有限元分析模型^[32]. 如图7(a)所示,整个模型的结构尺寸在X、Y和Z轴方向跨度分别为3、2.22和0.3 μm . 下层Cu互连线的高度为0.35 μm ,长度为2.1 μm ,宽度为

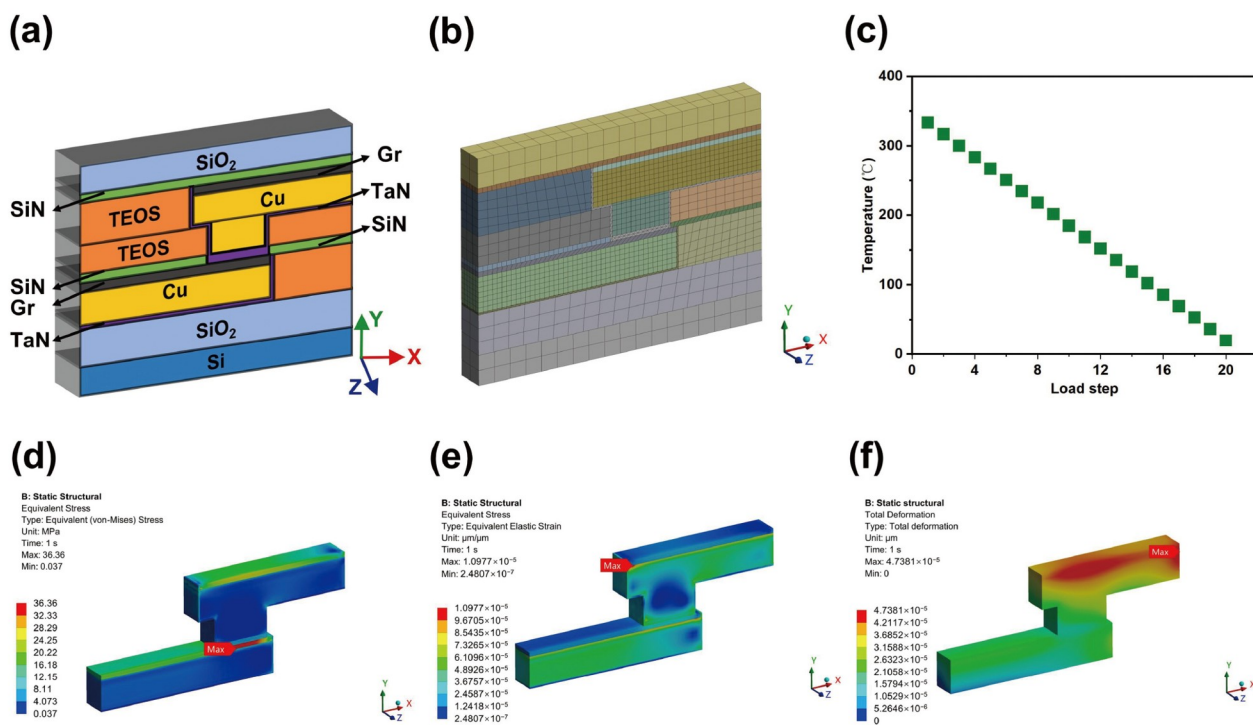


图7 (网络版彩色)Cu-Gr互连结构的热应力与形变仿真分析. (a) Cu-Gr互连的三维有限元模型; (b) 模型的网格划分; (c) 施加在Cu表面的温度载荷; (d)–(f) Cu-Gr互连附近的等效热应力、等效弹性应变、总形变量空间分布云图

Figure 7 (Color online) Simulation analysis of thermal stress and deformation in the Cu-Gr interconnect structure. (a) Three-dimensional finite element model of the Cu-Gr interconnect; (b) mesh generation of the model; (c) temperature load applied on the Cu surface; (d)–(f) spatial distribution cloud maps of equivalent thermal stress, equivalent elastic strain, and total deformation near the Cu-Gr interconnect

0.3 μm . 上层Cu互连线的高度为0.35 μm , 长度为1.78 μm , 宽度为0.3 μm . Cu互连线表面覆盖少层Gr厚度均为0.05 μm . 通孔直径为0.6 μm , 高度为0.3 μm . 金属阻挡层Ta₂N₅侧壁和底部的厚度分别0.02和0.05 μm . 刻蚀停止层Si₃N₄厚度为0.05 μm , 层间低介电常数介质采用TEOS. 如图7(b)所示, 为了加快计算速度和保证计算结果的准确性, 对几何模型的YZ平面和XY平面施加对称约束. 同时, 对XZ平面的y方向位移、YX平面的z方向位移、YZ平面的x方向位移, 均设置零位移约束. 此外, 对热应力关键位置进行了网格细分.

2.3.2 模拟过程与实验结果

如图7(c)所示, 零应力温度和应力温度分别设置为350和20℃^[33], 并设置20个载荷子步, 使得施加的温度载荷均匀地从初始值350℃降低至20℃. 其中, Cu-Gr互连附近的等效热应力、等效弹性应变及总形变量随时间载荷的变化细节请参考图S4. 在模拟中, 采用ANSYS的Stagnant air-simplified case模型来模拟静止空气下的热对流, 并将其作为边界条件, 相关材料参数见表1.

图7(d)为Cu-Gr互连附近的等效热应力空间分布云图. 互连层整体呈现出均匀的低热应力分布, 这得益于Gr优异的导热性能, 使得Cu层产生的热量能有效扩散至Gr层. 然而, 在Cu与Gr的接触界面处, 热应力显著升高, 并且在Cu-Gr通孔附近成为热应力的集中区域, 峰值为35.8 MPa. 这是因为Cu与Gr存在显著的热膨胀系数差异, 当温度发生变化时, 在复杂结构区域容易导致热应力集中^[34]. 图7(e)为Cu-Gr互连附近的等效弹性应变空间分布云图. 尽管互连层的主要区域依旧维持了相对均匀的弹性应变分布, 但整体弹性应变水平偏高. 特别在Cu与Gr的接触界面处, 弹性应变显著增大, 其峰值出现在上层Cu与Gr的接触区域, 达到了 1.1×10^{-4} . 这是因为Cu与Gr之间存在显著的物性差异, 在固定位移和环境温度变化下, 接触界面处会由于物性不匹配引发应力集中, 限制了材料的自由形变能力, 导致在界面处产生较高的弹性应变^[35]. 图7(f)为Cu-Gr互连结构的总形变量空间分布云图. 在下层Cu互连区域, 由于均匀分布的低热应力以及相对较低的等效弹性应变, 因此下层互连区域的总形变量处于较低水平. 然而, 在上层Cu-Gr互连区域, 尽管热应力仍然保持较低水平, 但在Cu与Gr的接触界面处, 由于弹性应变集中, 导致总形变量急剧增加. 最终, 在上层Cu互连覆盖的Gr层展现出较高的总形变量, 峰值为 $4.74 \times 10^{-5} \mu\text{m}$. 显然,

表1 材料特性

Table 1 Material properties

材料	杨氏模量(GPa)	泊松比	热膨胀系数($10^{-6}/^{\circ}\text{C}$)
Si	149.6	0.28	2.6
SiO ₂	70	0.25	1.4
TaN	186	0.34	6.5
SiN	160	0.25	3
TEOS	59	0.16	1
Cu	104.2	0.352	17
Gr	1100	0.15	-3.6

未来将Cu-Gr应用于VLSI互连中, 需要进一步改善Cu与Gr的界面接触特性, 以降低界面热阻. 同时, 还需要优化复杂布线位置的结构设计, 特别是层间互连中的通孔附近区域, 以降低热应力和弹性应变, 进而提升整体互连结构的热稳定性.

3 结论

本文通过调节PECVD过程中衬底偏压在Cu上原位沉积出具有石墨烯结构的碳薄膜, 利用350℃热退火处理改善了Cu-Gr的导电性能. 此外, 还使用ANSYS计算了Cu-Gr在VLSI互连中的热应力, 为其在未来互连中应用提供指导. 研究发现, 控制PECVD系统中衬底偏压可以改变碳原子向衬底表面的沉积速率, 最终在75 V偏压下在Cu表面沉积出具有低缺陷密度、较高平整度、少层的石墨烯结构, 显著提升了样品的导电性能, 使得Cu-Gr的电导率升至 $6.17 \times 10^7 \text{ S/m}$. 进一步对Cu-Gr热退火处理, 结果表明, 热退火处理后Cu-Gr的导电性能均得到了提升, 尤其是50 V偏压下, 其电导率升至 $6.62 \times 10^7 \text{ S/m}$, 这主要归因于热处理过程增大了Cu晶粒尺寸, 并改善了表面碳薄膜结构. ANSYS有限元分析表明, 将Cu-Gr应用于VLSI互连结构中, Cu-Gr互连附近周围的等效热应力与等效弹性应变均呈现低水平、均匀分布特性, 具有良好的热稳定性. 但是, 在互连结构的通孔附近会产生较高的热应力, 峰值为35.8 MPa. 同时, 在Cu与Gr接触的界面处, 出现了显著的弹性应变, 峰值为 1.1×10^{-4} . 显然, Cu-Gr在VLSI互连中应用潜力巨大, 其良好的导电性能可以减少互连线的焦耳热, 降低电路功耗; 良好的热稳定性可以缓解互连线的热积聚效应, 降低热应力, 增强热稳定性与可靠性. 但是, 要注意改善Cu与Gr之间的界面接触, 优化复杂布线位置的结构设计, 进而提升互连结构的热稳定性.

参考文献

- Shacham-Diamand Y, Osaka T, Datta M, et al. Advanced Nanoscale ULSI Interconnects: Fundamentals and Applications. New York: Springer Science & Business Media, 2009
- Andricacos P C. Copper on-chip interconnections: A breakthrough in electrodeposition to make better chips. *Electrochem Soc Interface*, 1999, 8: 32–37
- Moon J H, Jeong E, Kim S, et al. Materials quest for advanced interconnect metallization in integrated circuits. *Adv Sci*, 2023, 10: 2207321
- Steinlesberger G, Engelhardt M, Schindler G, et al. Electrical assessment of copper damascene interconnects down to sub-50 nm feature sizes. *Microelectron Eng*, 2002, 64: 409–416
- Chang C W, Gan C L, Thompson C V, et al. Joule heating-assisted electromigration failure mechanisms for dual damascene Cu/SiO₂/interconnects. In: Proceedings of the 10th International Symposium on the Physical and Failure Analysis of Integrated Circuits. Singapore: IEEE, 2003. 69–74
- Yeh C H, Medina H, Lu C C, et al. Scalable graphite/copper bishell composite for high-performance interconnects. *ACS Nano*, 2014, 8: 275–282
- Chen H C, Licausi N, Ryan E T, et al. Interconnect performance and scaling strategy at the 5 nm node. In: Proceedings of the International Interconnect Technology Conference/Advanced Metallization Conference. San Jose: IEEE, 2016. 12–14
- Li L, Zhu Z, Wang T, et al. BEOL compatible graphene/Cu with improved electromigration lifetime for future interconnects. In: International Electron Devices Meeting. San Francisco: IEEE, 2016. 9.5.1–9.5.4
- Srivastava A. Carbon nanotubes for next generation very large scale integration interconnects. *J Nanophoton*, 2010, 4: 041690
- Hunger T, Lengeler B, Appenzeller J. Transport in ropes of carbon nanotubes: Contact barriers and Luttinger liquid theory. *Phys Rev B*, 2004, 69: 195406
- Liang W, Bockrath M, Bozovic D, et al. Fabry-Perot interference in a nanotube electron waveguide. *Nature*, 2001, 411: 665–669
- Naeemi A, Ceyhan A, Kumar V, et al. BEOL scaling limits and next generation technology prospects. In: Proceedings of the 51st Annual Design Automation Conference. San Francisco: IEEE, 2014. 1–6
- Hee Jeong M, Rho H, Park M, et al. Heat dissipation of underlying multilayered graphene layers grown on Cu–Ni alloys for high-performance interconnects. *Appl Surf Sci*, 2022, 583: 152506
- Li L, Zhu Z, Yoon A, et al. *In-situ* grown graphene enabled copper interconnects with improved electromigration reliability. *IEEE Electron Device Lett*, 2019, 40: 815–817
- Son M, Jang J, Lee Y, et al. Copper-graphene heterostructure for back-end-of-line compatible high-performance interconnects. *npj 2D Mater Appl*, 2021, 5: 41
- Mehta R, Chugh S, Chen Z. Enhanced electrical and thermal conduction in graphene-encapsulated copper nanowires. *Nano Lett*, 2015, 15: 2024–2030
- Kang C G, Lim S K, Lee S, et al. Effects of multi-layer graphene capping on Cu interconnects. *Nanotechnology*, 2013, 24: 115707
- Cheng Z H, Zhao W S, Wang D W, et al. Analysis of Cu-graphene interconnects. *IEEE Access*, 2018, 6: 53499–53508
- Terasawa T, Saiki K. Growth of graphene on Cu by plasma enhanced chemical vapor deposition. *Carbon*, 2012, 50: 869–874
- Chugh S, Mehta R, Lu N, et al. Comparison of graphene growth on arbitrary non-catalytic substrates using low-temperature PECVD. *Carbon*, 2015, 93: 393–399
- Komlenok M, Pivovarov P, Popovich A, et al. Crystallization of copper films on sapphire substrate for large-area single-crystal graphene growth. *Nanomaterials*, 2023, 13: 1694
- Ni Z, Wang Y, Yu T, et al. Raman spectroscopy and imaging of graphene. *Nano Res*, 2008, 1: 273–291
- Despoja V, Jakovac J, Golenić N, et al. Bias-controlled plasmon switching in lithium-doped graphene on dielectric model Al₂O₃ substrate. *npj 2D Mater Appl*, 2020, 4: 1
- Cho Y S, Liao L K, Hsu C H, et al. Effect of substrate bias on biocompatibility of amorphous carbon coatings deposited on Ti₆Al₄V by PECVD. *Surf Coatings Tech*, 2019, 357: 212–217
- Xiu Z, Ju B, Duan C, et al. Study on the evolution of graphene defects and the mechanical and thermal properties of GNPs/Cu during CVD repair process. *Materials*, 2021, 15: 130
- Luo A, Xu Y, Zhou H, et al. Evolution of morphology and defects of graphene with growth parameters by PECVD. *Mater Res Express*, 2020, 7: 035025
- Sun N, Zhou D, Shi S, et al. Superior-performance TiN films sputtered for capacitor electrodes. *J Mater Sci*, 2019, 54: 10346–10354
- Goli P, Ning H, Li X, et al. Thermal properties of graphene–copper–graphene heterogeneous films. *Nano Lett*, 2014, 14: 1497–1503
- Cicala G, Bruno P, Losacco A M. PECVD of hydrogenated diamond-like carbon films from CH₄–Ar mixtures: Growth chemistry and material characteristics. *Diamond Relat Mater*, 2004, 13: 1361–1365

-
- 30 Hu B, Ago H, Orofeo C M, et al. On the nucleation of graphene by chemical vapor deposition. *New J Chem*, 2012, 36: 73–77
- 31 Li N, Zhen Z, Zhang R, et al. The nucleation and growth of graphene under a controlled atmosphere during radio frequency-plasma-enhanced chemical vapor deposition. *Vacuum*, 2022, 196: 110750
- 32 Shen Y L. Thermo-mechanical stresses in copper interconnects—A modeling analysis. *MicroElectron Eng*, 2006, 83: 446–459
- 33 Wang Y, Ji F L, Gao S S. Finite element analysis of thermal stress for different Cu interconnects structure. *MicroElectron Reliability*, 2012, 52: 2856–2860
- 34 Li P, Shen W, Wang S, et al. Thermal-structural analysis of water-cooled plasma-facing mockups with diamond/copper composite interlayer. *Fusion Sci Tech*, 2014, 66: 142–149
- 35 Yang K M, Li Q, Zhang Q, et al. Synergistically enhanced interface stability by graphene assisted copper surface reconstruction. *Acta Mater*, 2022, 226: 117638
-

补充材料

图S1 样品预处理前后Cu表面形貌及润湿性能

图S2 25、50、75、100 V衬底偏压下样品表面 $20\ \mu\text{m}\times 20\ \mu\text{m}$ 范围内的AFM图像及其 $2\ \mu\text{m}\times 2\ \mu\text{m}$ 局部区域中5个检测位点的参考示意图

图S3 350℃热退火处理对Cu晶粒与表面碳薄膜改善情况

图S4 Cu-Gr互连附近的等效热应力、等效弹性应变及总形变量随时间载荷的变化趋势

本文以上补充材料见网络版csb.scichina.com. 补充材料为作者提供的原始数据, 作者对其学术质量和内容负责.

Summary for “PECVD法制备新型Cu-Gr复合材料用于未来互连”

Preparation of new Cu-Gr composite materials for future interconnects by PECVD

Luwei Wang, Wei Wang*, Xuting Liang & Qinzheng Ma

Tianjin Key Laboratory of Electronic Materials and Devices, School of Electronics and Information Engineering, Hebei University of Technology, Tianjin 300401, China

* Corresponding author, E-mail: wangwei@hebut.edu.cn

The reduction in the size of interconnects at the rear end presents Cu with obstacles like resistivity, electromigration, and RC delay. The combination of Cu and graphene, known as Cu-Gr, offers a solution. It lowers the resistivity of Cu wires, enhances their current density, and provides better resistance to migration. This innovation effectively tackles the existing issues with pure Cu interconnects. Additionally, the plasma enhanced chemical vapor deposition (PECVD) technique offers a practical method for producing graphene at lower temperatures, in line with the current manufacturing process for silicon-based integrated circuits.

The Cu-Gr composites were fabricated as follows. Initially, 100 nm thick Cu was deposited on the Si/SiO₂ substrate using physical vapor deposition (PVD) technology. Subsequently, graphene was applied to the Cu surface using a PECVD process. Before deposition, the sample was heated to 600 °C in a low-pressure environment. This was succeeded by radio frequency cleaning, where Ar was utilized to enhance the flatness and wettability of the Cu surface. Afterward, hydrogen and methane were introduced as process gases to deposit graphene under different substrate bias pressures. Upon completion of the growth, the samples were cooled down to 200 °C in Ar and returned to the injection chamber.

This paper mainly studied the impact of substrate bias on graphene deposited on Cu via the PECVD process. It also investigated the electrical conductivity of Cu-Gr before and after heat treatment at 350 °C, as well as its thermal stress in very large scale integration circuit (VLSI) interconnections using ANSYS. The principal discussions and conclusions are presented below.

(1) Raman spectroscopy analysis confirmed the successful synthesis of graphene structures on Cu substrates under both 75 and 100 V substrate biases. Notably, when biased at 75 V, the graphene structures exhibited a reduced number of layers and a lower defect density, indicative of improved quality. Atomic force microscope (AFM) study further showed that the surface roughness of the samples prepared at 75 V bias was low and the morphology was relatively smooth. Additionally, scanning electron microscope (SEM) examinations revealed that the average sizes of carbon particles on the sample surfaces prepared at 75 and 100 V biases were comparable, with measurements of 50.46 and 49.63 nm, respectively. This phenomenon can be rationalized by the diminished activity of the Cu substrate at lower temperatures, which constrains the diffusion kinetics of carbon atoms, thus leading to comparable particle sizes under both bias conditions.

(2) The Cu-Gr was thermally annealed at 350 °C. The results showed that the conductivity of Cu-Gr was the highest when the substrate was biased at 75 V, which was 6.17×10^7 S/m. Compared with the conductivity of Cu before annealing, the conductivity of Cu was increased by 12.64%. After heat treatment, the conductivity of Cu-Gr was further improved due to the increase of the grain size on the surface of Cu and the improvement of carbon film structures on the surface of Cu, and reached the maximum value of 6.62×10^7 S/m when the substrate bias was 50 V. Compared with the electrical conductivity of Cu after annealing, the electrical conductivity of Cu was increased by 12.75%.

(3) The Cu-Gr composites in VLSI interconnects generated the maximum thermal stress near the through-hole, with a value of 35.8 MPa. The maximum elastic strain occurred at the interface of the upper layer of Cu in contact with graphene with a value of 1.1×10^{-4} . Therefore, further improvement of the interfacial contact between Cu and graphene and optimization of the structural design of complex wiring locations are required to improve the thermal stability of the interconnect structure.

new interconnect materials, graphene, plasma enhanced chemical vapor deposition, substrate bias, electrical conductivity, thermal stress

doi: [10.1360/TB-2024-0737](https://doi.org/10.1360/TB-2024-0737)