0254-6124/2010/30(2)-176–04 *Chin. J. Space Sci.* 空间科学学报

Lin Miao, Wang Pinglian, Zhang Lei. Design and implementation of a high speed modulation system for space applications. *Chin. J. Space Sci.*, 2010, **30**(2): 176-179

一种适用于空间应用的高速调制系统的设计和实现

林 苗[1,2] 王平连[1] 张 磊[1]

[1](中国科学院光电研究院 北京 100190)

[2](中国科学院研究生院)

摘 要 为了适应空间科学技术的发展, 满足空间科学应用系统的数据传输速率、多进制数字调制方式以及实现调制体制灵活性的要求, 提出了一种适用于空间应用的高速调制系统的设计与实现方案. 该方案采用了基于 FPGA 和 DAC 的通信调制技术, 可在硬件设计不变的情况下, 实现 QPSK, 8 PSK 和 16 QAM 等多种调制方式下的高速数据传输. 分析了高速调制在硬件实现上的技术难点, 解决了高频率高精度同步时钟生成、高速数据转换、宽带调制等技术问题. 实测表明, 在载频为 2 GHz 时, 该调制系统在 8PSK 调制下速率可达 750 Mbit/s, 且调制信号的矢量幅度误差 (EVM) 仅为 3.3%.

关键词 高速数传; 多进制数字调制方式; 8 PSK

中图法分类号 V 524, TN 761

Design and Implementation of a High Speed Modulation System for Space Applications

LIN Miao[1,2] WANG Pinglian[1] ZHANG Lei[1]

[1](*Academy of Opto-Electronics, Chinese Academy of Sciences, Beijing* 100190)

[2](*Graduate University of Chinese Academy of Sciences*)

Abstract To meet the requirements of high speed data transmission, multi-level modulation and the system flexibility in space applications, a modulation system design scheme was introduced, which has adopted the new techniques of the FPGA and DAC based communication system, and can be used for high speed data transmission with QPSK, 8 PSK, QAM or other kinds of digital modulation. The difficulties such as the high speed based-band signal conversion, wide-band modulation, carrier suppression, high frequency and high precision clock generation in the design and implementation of this modulation system are analyzed, and the solutions are also given. The test result shows that this modulation system can satisfy the performance requirements for most space applications. When the carrier frequency is 2 GHz, the transfer data rate of this modulation system with 8PSK modulation is up to 750 Mbit/s, while the EVM (Error Vector Magnitude) of the modulated signal is only 3.3%.

Key words High speed data transmission, Multi-level modulation, 8 PSK

2009-03-09 收到原稿, 2009-05-08 收到修定稿

E-mail: linmsir@gmail.com

1　引言

高速率传输和调制体制灵活一直是空间科学应用数据传输系统的研究目标之一. 大数据量传输、频谱带宽利用率、不同体制调制系统的兼容性和灵活性等, 促进了对高速率传输和多体制调制系统的需求. 目前空间应用系统中的无线高速数据传输系统, 多采用 QPSK 调制, 传输速率在几十兆至数百兆, 难以满足日益增长的应用需求. 因此, 研究适用于空间应用的高速率、多进制数字调制方式和调制体制灵活的调制系统非常具有现实意义, 而高性能器件如 FPGA 和 DAC 等技术的发展, 为实现高速且灵活的调制系统提供了条件.

本论文提出了一种适用于空间应用的高速率、多进制数字调制方式及调制体制灵活的调制系统设计与实现方案, 解决了高速调制在硬件实现上的技术难点. 该调制系统可实现 QPSK, 8 PSK 和 16 QAM 等多种调制方式, 当载频为 2 GHz 时, 8 PSK 调制速率可高达 750 Mbit/s.

2　原理介绍

PSK 和 QAM 等调制信号矢量可以表示为如下正交调制的方式 [1]:

$$\begin{aligned} s(t) = & \sum_n s_i(t-nT)\,\mathrm{rect}\,(t-nT) = \\ & \sum_n A_i\cos[2\pi f_0 t+\phi(i)+\theta]\mathrm{rect}\,(t-nT) = \\ & \sum_n \big\{A_i\cos[(\phi(i)]\,\mathrm{rect}\,(t-nT)\cos(2\pi f_0 t+\theta)- \\ & A_i\sin[\phi(i)]\,\mathrm{rect}\,(t-nT)\sin(2\pi f_0 t+\theta)]\big\} = \\ & I(t)\cos(2\pi f_0 t+\theta)-Q(t)\sin(2\pi f_0 t+\theta). \end{aligned} \quad (1)$$

其中, $I(t)=\sum_n A_i\cos[\phi(i)]\,\mathrm{rect}\,(t-nT)$ 为同相分量, $Q(t)=\sum_n A_i\sin(\phi(i))\,\mathrm{rect}\,(t-nT)$ 为正交分量. 由此表明, PSK 和 QAM 等调制方式可以用正交调制方式实现.

正交调制的硬件实现原理是依据调制信号矢量的星座图, 将矢量信号分解为如图 1 所示的正交 I, Q 两路信号, 分别调制两路正交载波, 最后合路输出调制信号.

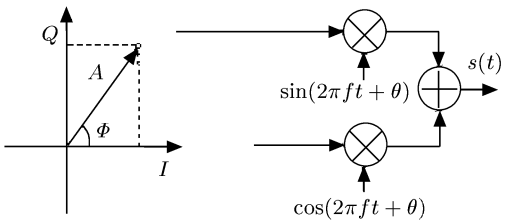


图 1　矢量正交调制硬件实现原理

Fig. 1　Principle of quadrature amplitude modulation

3　方案实现

依据正交调制的硬件实现原理, 所设计的高速调制系统采用基于 FPGA 和 DAC 的硬件结构来实现, 如图 2 所示.

FPGA 接收外部输入数据, 进行调制映射、编码、数据处理和高速输出. DAC 将数字基带信号转化为模拟基带脉冲信号, 经低通滤波后由正交调制器调制输出, 实现宽带调制. 时钟生成模块为 FPGA 和 DAC 提供工作时钟. 该硬件实现结构具有很强的灵活性. 通过改变 FPGA 处理的调制映射方式, 既可以实现 PSK 和 QAM 等多种调制方式, 又可以进行幅度和相位的调制补偿处理.

时钟生成模块是调制系统的重要组成部分, 为 FPGA 和 DAC 提供高频率高精度的工作时钟.

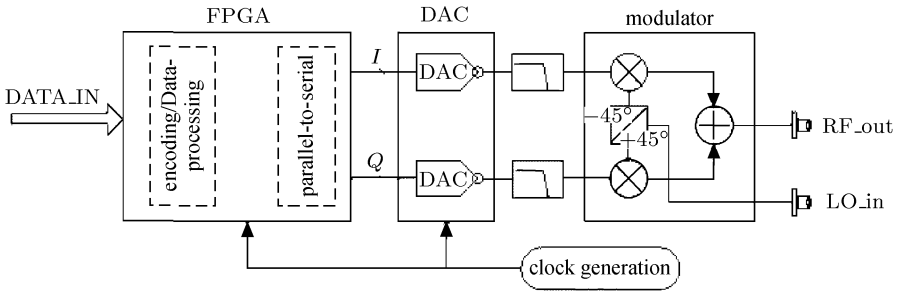


图 2　高速调制系统实现结构

Fig. 2　Implementation of the high speed modulation system

在高速调制下, 时钟抖动是影响调制性能的重要因素之一. 时钟抖动将降低 FPGA 到 DAC 的传输数据速率, 降低 DAC 转换模拟信号的信噪比 [2], 从而恶化调制性能. 因此, 高频率时钟源应具有低抖动时间特性, 以降低对调制系统性能的影响.

采用如图 3 所示的数字式锁相环时钟生成技术可以实现高频率、高稳定性、低抖动的时钟输出. 此结构中输出时钟频率由 VCO 的频率 V 和分频比 P 确定, 鉴相频率由 N, M 值确定, 其主要优点是锁相环路相当于一个窄带跟踪滤波器, 具有良好的窄带跟踪滤波特性和抑制信号寄生干扰的能力, 从而获得高稳定、低抖动的时钟输出.

高频率 VCO 时钟源自身的抖动是输出时钟抖动的重要来源. 因此, 为降低输出时钟抖动, 适宜采用具有高稳定性、低抖动时间的 VCXO 振荡源. 但是, 高频 VCXO 在技术上很难实现 [3], 本方案采用频率为 500 MHz 的 CVS 575 (声表器件) 作为压控振荡器, 其抖动时间仅为 0.18 ps.

环路滤波器 (LF) 滤除鉴相器输出误差电压中的高频分量, 保证环路稳定, 改善环路跟踪性能和噪声特性 [4], 其环路带宽和相位余量是影响锁相环路输出噪声特性和稳定性的重要参量. 本方案环路滤波器采用三阶无源 RC 低通滤波器实现, 取值 C_1 =100 nF, C_2 = 22 μF, C_3 =100 nF, R_2 = 4.7 kΩ, R_3 = 160 Ω. 参考频率由 10 MHz 温补晶振 TCXO 产生, 并设置 N = 32, M = 1600. 低通滤波器和锁相环路的特性指标列于表 1.

时钟生成模块需要同时为 FPGA 和 DAC 提供多个工作时钟. 采用时钟分配方式, 由一个高频率高精度时钟源通过时钟分配器得到多个同步时钟. 这样既获得了多个高性能的时钟, 又减少了时钟源个数, 提高了设计和使用的便利性. 本方案采用 CDCM7005 实现时钟鉴相和分配的功能, 如图 4 所示. 仿真结果得出输出时钟在 1~10 000 kHz 间的均方抖动时间为 0.186 ps, 试验证明时钟抖动指标满足工程使用要求.

高速调制系统中的高速调制数据输入、处理和输出由 FPGA 实现. 对于 FPGA 的数据输入和数字信号处理, 采用并行处理方式可以有效降低 FPGA 的系统频率. 但是, FPGA 需要将高速率的数据信息依时序关系串行传输给 DAC, 而采用低频时钟工作的 FPGA 将难以实现高速并–串转换.

对于 2 倍速率的并–串转换, 可以利用 FPGA 输出接口的 DDR 方式来完成, 即利用工作时钟的上升沿和下降沿定时传输数据. 采用外加由高频率时钟生成模块输出的高频率同步采样时钟, 可以实现更高速率的并–串转换 (见图 5). 图 5 所示采用 500 MHz 的外加高频率同步采样时钟, 可实现 4 倍的并–串转换, 将 FPGA 的系统频率降低到 125 MHz. 目前 FPGA 的处理速率比较容易达到这个系统频率.

DAC 完成数字信号到模拟信号的转换, 输出模拟调制脉冲信号. 在高速调制下, DAC 需要具备高速

表 1 低通滤波器及锁相环路的特性指标

Table 1 Electrical characteristics of the LPF and PLL

低通滤波器		锁相环路	
零点	1.54 Hz	参考晶振	10 MHz
第一极点	0 Hz	压控振荡器	500 MHz
第二极点	172.33 Hz	鉴相频率	312.5 kHz
第三极点	19.72 kHz	环路带宽	108.02 Hz
		相位余量	56.35°

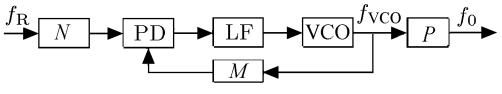


图 3 数字式锁相环时钟的生成

Fig. 3 Diagram of PLL-based clock generation

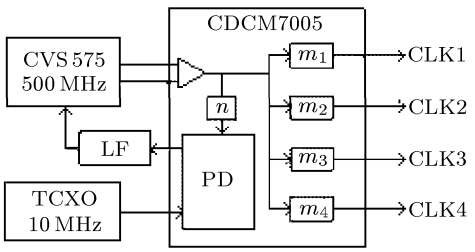


图 4 数字式锁相时钟生成实现

Fig. 4 Implementation of PLL-based clock generation

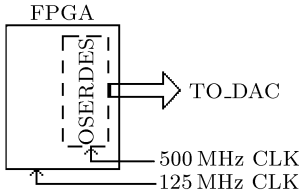


图 5 高速率并–串转换实现方式

Fig. 5 Implementation of high speed parallel-to-serial conversion

采样输出能力. 其次, 为实现正交调制, DAC 还必须具备 I, Q 两路独立数模转换功能. 此外, 高分辨率、高速数据传输接口、高速输出采样、转换特性等是保证调制系统在高速调制下获得良好性能的关键 [3].

本方案采用 DAC5682Z 来实现数模转换功能. 该 DAC 具有 I, Q 两路独立数模转换功能, 16 bit 分辨率, LVDS 差分高速数据输入接口、高达 $10^9\ s^{-1}$ 的输出采样率、SFDR (无杂散动态范围) 优于 77 dBc, 能很好地满足高速调制系统的性能要求.

系统中的正交调制器应具有较宽的调制带宽. 当 8 PSK 调制速率为 750 Mbit/s 时, 输入调制信号的主瓣带宽达到 250 MHz. 为了保证调制性能, 正交调制器的输入带宽必须大于 250 MHz. 本方案采用 TRF3703 正交调制器实现宽带调制功能, 其载波频率为 400~4000 MHz, 输入信号的带宽可高达 350 MHz, 满足高速调制系统的调制带宽要求, 而且集成度高, 易于实现, 性能稳定. 虽然载波频率较低, 调制带宽相对较宽, 对输出带通滤波器和功率放大器的设计和实现要求较高, 但可采用上变频技术实现高波段调制输出. 从实际的调制效果看, 该正交调制器具备很好的调制性能.

4　性能验证

当载波频率为 2 GHz, 采用 8PSK 调制, 调制速率达到 750 Mbit/s 时, 调制信号的实测频谱、信号眼和星座如图 6~8 所示. 从实测图可看出, 调制信号的频谱图、信号眼图和星座图良好, 调制信号的 EVM 仅为 3.3%. 由此可知, 此高速调制系统具有很好的调制性能.

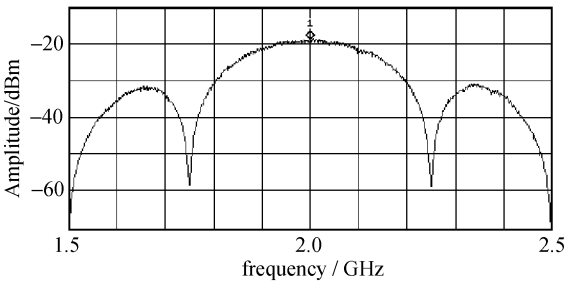


图 6　8PSK 调制速率为 750 Mbit/s 时的调制信号频谱

Fig. 6　Spectrum of 8PSK modulation at data rate 750 Mbit/s

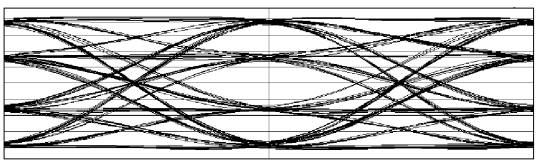


图 7　8 PSK 调制速率为 750 Mbit/s 时的信号眼图

Fig. 7　Eye diagram of 8PSK modulation at data rate 750 Mbit/s

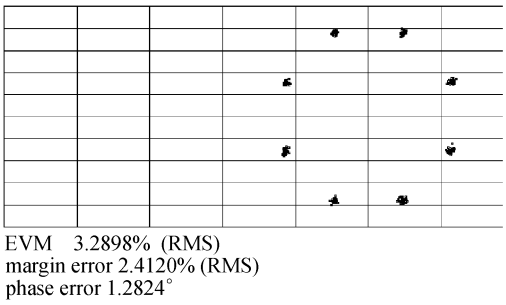


图 8　8 PSK 调制速率为 750 Mbit/s 时的星座图

Fig. 8　Constellation plot of 8PSK modulation at data rate 750 Mbit/s

5　结束语

提出了一种基于 FPGA 和 DAC 的高速、多进制数字调制方式及调制体制灵活的调制技术设计方案, 可有效地提高空间应用系统的数据传输速率、频谱带宽利用率和灵活性. 8 PSK 调制速率可达 750 Mbit/s. 结合上变频技术, 可以实现更高波段的无线数据传输 [5].

参考文献

[1] Cao Zhigang, Qian Yasheng. Principle of Modern Communication [M]. Beijing: Tsinghua University Press, 1992. 283-284. in Chinese (曹志刚, 钱亚生. 现代通信原理 [M]. 北京: 清华大学出版社, 1992. 283-284)

[2] Jeffer H R. Software Radio: A Modern Approach to Radio Engineering [M]. New Jersey: Prentice Hall PTR, 2002. 208-216

[3] Reinhold Ludwig, Pavel Bretchko. RF Circuit Design Theory and Applications [M]. New Jersey: Prentice Hall PTR, 2002. 550

[4] Ruan Fuming, *et al.* Design and analysis for high-speed and high precision clock board [J]. *J. Data Acquis. Proc.*, 2005, **20**(3):351-355. in Chinese (阮福明, 等. 一种高速高精度时钟的设计与分析 [J]. 数据采集与处理, 2005, **20**(3):351-355)

[5] Gan Zhongmin, Zhang Gengxin, *et al.* Millimeter Wave Communication Technology and System [M]. Beijing: Publishing House of Electronics Industry, 2003. 68-71. in Chinese (甘仲民, 张更新, 等. 毫米波通信技术与系统 [M]. 北京: 电子工业出版社, 2003. 68-71)