

氧化钬基铁电场效应晶体管的研究现状与未来展望

周君亮¹, 李建国², 霍玥潼¹, 闫文超¹, 翁泽平³, 戚佳斌², 赵 毅^{1,2,*}

(1. 华东师范大学 信息与电子工程学院, 上海 200241; 2. 华大半导体有限公司 集成电路研究院, 上海 200131; 3. 浙江大学 材料科学与工程学院, 杭州 310027)

摘要:随着人工智能技术的快速发展, 计算机需要处理的数据规模呈指数级增长, 这对硬件存储性能提出了更高需求。传统闪存(flash)的读写速度已无法与中央处理器(central processing unit, CPU)的运算速度相匹配, 由此产生的“存储墙”(memory wall)问题成为制约计算性能进一步提升的瓶颈。同时, 高端消费电子产品向移动化方向的发展趋势对硬件的要求不断提高, 尤其对超低功耗计算、高密度和低成本数据存储等需求日益迫切。自掺杂氧化钬(HfO₂)薄膜中的铁电性被发现以来, 基于氧化钬的铁电材料便在器件领域引起了广泛关注。得益于氧化钬薄膜与现代半导体制造工艺的良好兼容性及其优异的可微缩性, 铁电场效应晶体管(ferroelectric field-effect transistor, FeFET)在先进微电子领域重新成为研究热点, 被视为突破传统存储器性能瓶颈、破解“存储墙”难题的关键候选器件。本文聚焦于FeFET在非易失性存储器中的应用, 系统阐述其基本工作原理, 深入探讨掺杂效应、退火工艺及冷却速率等因素对氧化钬薄膜铁电特性的影响规律。针对FeFET的可靠性问题, 重点分析提升关键器件性能指标(如存储窗口、耐久性与保持时间)的机理与方法。此外, 本文还综述了FeFET在材料优化(如混合铁电层、新型高 k 界面层)与结构创新(如铟镓锌氧化物FeFET)方面的最新研究进展。最后对FeFET的未来发展进行展望, 指出氧化钬基FeFET在嵌入式非易失性存储器、神经形态计算、高密度存储等领域具有重要的商业化应用前景, 有望成为下一代微电子存储器件的核心组成部分。

关键词:氧化钬; 铁电薄膜; 场效应晶体管; 存储窗口; 耐久性; 印记效应

中图分类号: TN386

文献标志码: A

DOI: [10.3724/jfmd.2602026](https://doi.org/10.3724/jfmd.2602026)

CSTR: [32180.14/jfmd.2602026](https://cstr.cn/32180.14/jfmd.2602026)

Research status and future prospects of hafnium oxide-based ferroelectric field-effect transistors

ZHOU Junliang¹, LI Jianguo², HUO Yuetong¹, YAN Wenchao¹, WENG Zeping³, QI Jiabin², ZHAO Yi^{1,2,*}

(1. School of Information and Electronic Engineering, East China Normal University, Shanghai, 200241, China; 2. Research Center of Integrated Circuits, Huada Semiconductor Co., Ltd., Shanghai 200131, China; 3. School of Materials Science and Engineering, Zhejiang University, Hangzhou 310027, China)

收稿日期: 2026-02-02; 修订日期: 2026-03-26

基金项目: 长三角科技创新共同体联合攻关项目(No. 2023CSJGG0300)

作者简介: 周君亮(2001—), 男, 硕士研究生, 研究方向为铁电存储器件(E-mail: 51265904105@stu.ecnu.edu.cn)

通信作者: 赵 毅(1977—), 男, 教授, 研究方向为新沟道材料CMOS器件、纳米CMOS器件可靠性、新型存储材料及器件(E-mail: yizhao@ic.ecnu.edu.cn)

Abstract: With the rapid advancement of artificial intelligence technology, the scale of data to be processed by computers is growing exponentially, imposing increasingly stringent demands on the performance of computer hardware storage. The read and write speeds of conventional flash memory can no longer match the computing speed of central processing units (CPUs), creating the "memory wall" bottleneck that severely limits further improvements in computing performance. Meanwhile, the trend toward mobile and portable high-end consumer electronics has raised increasingly stringent hardware requirements, particularly for ultra-low-power operation, high integration density, and cost-effective data storage solutions. Since the discovery of ferroelectricity in doped hafnium oxide (HfO_2) thin films, HfO_2 -based ferroelectric materials have attracted considerable attention in the device engineering community. Owing to the excellent compatibility and scalability of HfO_2 thin films with modern semiconductor manufacturing processes, ferroelectric field-effect transistors (FeFETs) have re-emerged as a key focus in advanced microelectronics, becoming a key candidate device for breaking through the performance bottlenecks of traditional memory and overcoming the "Memory Wall" dilemma. This paper focuses on the application of FeFETs in non-volatile memory, systematically elaborates on their basic operating principles, and deeply investigates the influence laws of doping effects, annealing processes, cooling rates and other factors on the ferroelectric properties of hafnium oxide thin films. Aiming at the reliability issues of FeFETs, particular emphasis is placed on analyzing the mechanisms and strategies for enhancing critical device performance metrics, such as memory window, endurance, and data retention time. Furthermore, this paper briefly reviews the latest research progress of FeFETs in terms of material optimization (such as hybrid ferroelectric layers and novel high- k interlayers) and structural innovation (such as indium-gallium-zinc oxide based FeFETs). Finally, the future development of FeFETs is prospected, indicating that hafnium oxide-based FeFETs hold important commercial application prospects in the fields of embedded non-volatile memory, neuromorphic computing, high-density storage and so on, and are expected to become the core component of the next-generation microelectronic memory devices.

Key words: hafnium oxide; ferroelectric film; field-effect transistor; memory window; endurance; imprinting effect

0 引言

1957年, 贝尔实验室的研究人员提出了一个开创性的概念: 利用铁电材料调控半导体表面的导电性能^[1-3], 旨在开发一种兼具非易失性数据存储与无损读取功能的新型器件——铁电场效应晶体管 (ferroelectric field-effect transistor, FeFET)。1963年, Moll等^[4]在薄层铁电材料硫酸三甘氨酸 (triglycine sulfate, TGS) 上沉积了基于硫化镉 (CdS) 的薄膜晶体管, 研究结果表明, TGS 晶体中的剩余极化状态可有效调控 CdS 半导体内部的空间电荷分布, 使器件电阻率发生高达 25% 的变化。Zuleeg等^[5]指出, 铁电效应引起的电荷调制会导致晶体管阈值电压发生偏移, 这是 FeFET 最显著的特征之一。

随着新型铁电材料(如钙钛矿结构材料)的不

断涌现和薄膜沉积技术的进步, FeFET 研究取得了显著进展。1974年, Wu等^[6]报道了一种以钛酸铋为铁电层的金属-铁电-半导体 (metal-ferroelectric-semiconductor, MFS) 架构 n 沟道 FeFET, 通过在栅极结构中引入铁电材料层, 该类晶体管可根据铁电材料的两种极化状态呈现相应的双阈值电压^[7-12], 从而形成可区分的数据存储窗口。次年, Sugibuchi等^[13]利用 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 铁电薄膜, 在 n 型硅衬底上成功制备出首个 p 沟道 FeFET。进入 21 世纪, FeFET 因其卓越的集成潜力与优异的存储性能^[14], 受到学术界与工业界的广泛关注。例如, Sakai等^[15]成功研制出一种基于锶铋钽酸盐 (strontium bismuth tantalate, SBT) 的 FeFET, 该器件不仅具有较大的存储窗口, 还展现出超过 10^{12} 次的耐久性循环能力。这一突破使 FeFET 得以在非易失逻辑 (non-volatile

logic, NVL) 电路^[16] 及 64 kbit NAND 存储器阵列^[17] 中实现了部分功能应用。

尽管 FeFET 技术持续进步, 但相较于闪存技术, 其商业化进程仍显缓慢, 主要原因包括: 钙钛矿型铁电材料与硅基器件的集成难度较大; 较大的退极化场对数据保持时间产生不利影响; 为确保足够的存储窗口与低栅极泄漏电流, 钙钛矿铁电层需具备一定厚度, 这限制了 FeFET 在高密度集成中的应用前景^[18]。

2011 年, 氧化铪 (HfO_2) 薄膜中铁电性的发现为缓解 FeFET 技术面临的诸多挑战带来了新契机^[19]。值得注意的是, 自 2007 年起, 随着先进制造工艺的引入^[20], HfO_2 作为采用高 k 金属栅极的金属-氧化物半导体场效应晶体管 (metal-oxide-semiconductor field-effect transistor, MOSFET) 中的栅极绝缘层材料已广泛应用于半导体行业, 这确保了铪基铁电材料与现有互补金属-氧化物-半导体 (complementary metal-oxide-semiconductor, CMOS) 工艺之间的完全兼容。另外, 与传统钙钛矿铁电材料相比, HfO_2 具有更宽的带隙 (约 5.3 eV), 可显著降低栅极堆栈的泄漏电流。更重要的是, 即使在几纳米厚的薄膜中, 铪基铁电器件仍能维持稳定的数据存储能力与较大的存储窗口。相较于传统的单晶体管单电容 (1T1C) 铁电随机存取存储器 (ferroelectric random-access memory, FeRAM), FeFET 具备更简化的单元结构、更低的读取功耗及更优的可扩展性。近期报道的 FeFET 器件展现出快速切换速度 (<10 ns)、低写入电压 (<3 V)、超过 10^9 次的耐久性循环以及持续多年的保持特性, 这些成果极大地推动了铪基 FeFET 技术的发展。

尽管已取得了上述进展, 但 FeFET 的商业化仍面临诸多挑战, 主要包括器件间差异、唤醒效应、

疲劳现象以及温度诱导的退极化等。这些效应源于铁电体复杂的开关行为、界面缺陷及电荷捕获机制。对这些问题的解决, 有赖于对材料堆栈、界面质量及热处理条件的深入理解与精确控制。

本文对基于 HfO_2 的 FeFET 研究进行综述, 涵盖从材料科学到系统层面的多个维度。首先, 总结掺杂 HfO_2 中铁电相的起源与稳定机制, 包括掺杂剂、机械应变及退火工艺的关键作用。随后, 阐述器件的工作机制, 重点强调阈值电压调制、疲劳行为及存储窗口, 特别关注影响可靠性的关键特性, 如唤醒、印记、保持特性退化以及循环过程中的性能衰减。整体而言, 基于 HfO_2 的 FeFET 代表了材料创新、工艺兼容性与电路多功能性的有机结合, 本综述旨在系统梳理 FeFET 的最新进展, 为研究人员与工程技术人员应对当前挑战、释放铁电存储器应用潜力提供借鉴。

1 铁电材料及器件结构

1.1 HfO_2 中的铁电性

铁电性是指材料在无外加电场时仍能呈现自发极化的特性, 且在施加外部电场后, 其极化状态可在两个或多个稳定取向之间可逆切换^[21]。图 1 (a) 直观展示了典型铁电材料的极化-电场滞后回线, 这正是铁电器件实现非易失性存储 (non-volatile memory, NVM) 功能的核心机制。通过精确施加电场, 可将极化定向至某一方向以完成信息写入; 移除外加电场后, 剩余极化值 (P_r) 即作为信息读取的依据。从微观角度看, 铁电性源于晶胞内原子的极性位移, 该位移破坏了晶体原有的非极性对称性^[22]。对称性破缺的物理机制及参与极性位移的原子种类, 均取决于具体材料体系。图 1 (b)~(d) 分别展

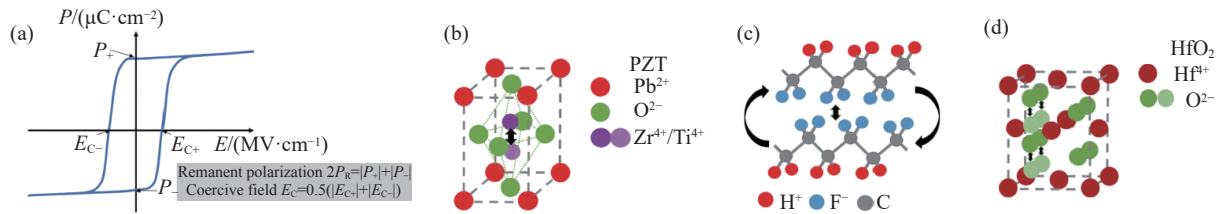


图 1 典型铁电材料的电学特性与晶体结构^[21]。(a) 铁电材料极化强度与电场之间的滞后回线关系; (b) PZT、(c) PVDF、(d) HfO_2 的晶体结构示意图

Fig. 1 Electrical properties and crystal structures of typical ferroelectric materials^[21]. (a) Polarization-electric field hysteresis loop of ferroelectric materials; schematic diagram of the crystal structure of (b) PZT, (c) PVDF, and (d) HfO_2

示了钙钛矿型锆钛酸铅 (lead zirconate titanate, PZT)、有机聚偏二氟乙烯 (polyvinylidene fluoride, PVDF) 以及 HfO_2 的晶体结构示意图, 并通过箭头明确标示出引发极化切换的关键原子位移。

HfO_2 中的铁电性通常依赖于一种非中心对称的正交相 (通常记为 $\text{Pca}2_1$), 该相可通过掺杂、应变或电极诱导的应力在薄膜中形成。目前, 学术界普遍认为 HfO_2 的铁电性源于热力学与动力学效应的协同作用^[23-24]。在 HfO_2 中掺杂硅 (Si)、锆 (Zr)、铝 (Al)、钇 (Y) 和镧 (La) 等元素可显著调控其晶体结构与铁电特性, 其中硅掺杂是首次被报道在 HfO_2 中实现铁电性的方法, 凸显了 Si 在半导体制造中成熟的工艺兼容性, 展现出良好的工业应用潜力。值得注意的是, 掺杂含量、电极选择及衬底类型等因素会显著影响此类多层薄膜的结晶动力学与铁电性能, 这些因素共同决定了极性相 (正交相) 相对于其他非极性相 (如四方相、单斜相和立方相) 的相对稳定性与占比^[23]。 HfO_2 的这种多态性特征使得正交相的分离与稳定尤为困难, 因此优化 HfO_2 铁电薄膜的制备工艺, 对于确保其在超缩放器件中仍能展现优异的铁电性能具有重要意义。

1.2 铁电存储器的类型

根据铁电层与其他材料的不同集成方式, 可设

计出多种类型的铁电存储器。其中, 3 类基本存储器结构尤为典型, 它们在各自的操作模式中巧妙地引入了铁电材料, 分别为: FeRAM、铁电隧道结 (ferroelectric tunnel junction, FTJ) 以及 FeFET^[24]。

FeRAM 通常由两端的铁电电容 (通常被巧妙地嵌入后端) 与感知晶体管串联构成。在 FeRAM 的读取操作中, 需施加一个电压脉冲, 该脉冲根据所存储极化状态的极性, 在两个端子之间产生大小不同的电流。然而, 此类读取操作可能导致极化翻转, 从而造成存储状态丢失, 需重新写入, 因此 FeRAM 的读取操作被定义为破坏性读取。

FTJ 是一种两端器件, 其结构可为金属-铁电-金属 (metal-ferroelectric-metal, MFM) 或金属-铁电-绝缘体-金属 (metal-ferroelectric-insulator-metal, MFIM) 电容器, 也存在其他可能的构型。FTJ 利用铁电极化对隧穿泄漏电流的调制作用, 通过精确测量堆叠结构的泄漏电流即可读取其状态, 无需执行刷新操作 (即实现非破坏性读取)。

FeFET 是一种三端器件, 利用铁电栅极氧化物的极化状态调制晶体管沟道电导, 从而实现存储状态的编码。与 FTJ 类似, FeFET 的读取操作同样为非破坏性。关于 HfO_2 -FeFET、FeRAM、FTJ 的详细比较及该领域的研究趋势, 可参见文献 [21]。图 2 简明总结了这 3 种铁电存储器的结构与主要特性^[24]。

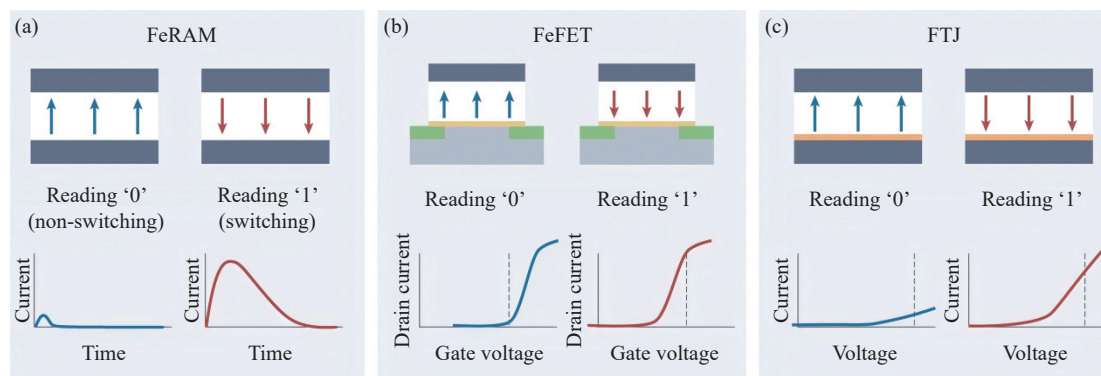


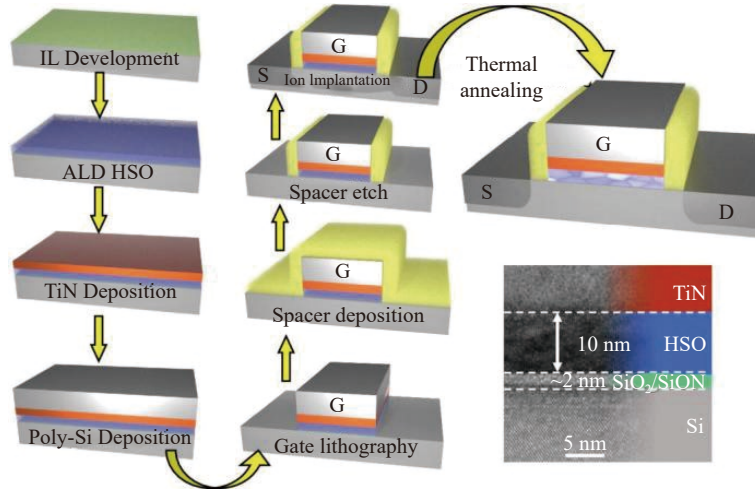
图 2 3 种铁电存储器的结构和主要特性^[24]。(a) FeRAM; (b) FeFET; (c) FTJ

Fig. 2 Structures and key characteristics of three types of ferroelectric memories^[24]. (a) FeRAM; (b) FeFET; (c) FTJ

1.3 FeFET 器件结构及工作原理

图 3 展示了基于硅掺杂氧化锆 (Si-doped HfO_2 , HSO) 标准金属-铁电-绝缘体-半导体 (metal-ferroelectric-insulator-semiconductor, MFIS) 结构的 FeFET 器件制备工艺流程^[25]。首先, 在硅衬底与铁电薄膜之间引入纳米级厚度的界面层 (interface

layer, IL), 材料为热生长的 SiO_2 或通过快速热退火 (rapid thermal annealing, RTA) 形成的氮氧化硅 (SiON)。界面工程至关重要, 直接决定了界面缺陷密度与器件整体稳定性。随后, 在 $300\text{ }^\circ\text{C}$ 的腔室温度下采用原子层沉积 (atomic layer deposition, ALD) 工艺生长 10 nm 厚的 HSO 铁电层; 选择 ALD

图3 基于硅掺杂氧化铪的FeFET制备流程^[25]Fig. 3 Fabrication process of FeFET based on silicon-doped hafnium oxide^[25]

工艺沉积铁电层,旨在实现亚纳米级的厚度控制与优异的共形性,这是在大面积上获得均匀铁电性能的关键。沉积顶部氮化钛电极后,通过化学气相沉积(chemical vapor deposition, CVD)制备非晶硅包覆层。最后,在适当温度下对器件进行退火处理,一方面促进铁电相结晶,另一方面激活离子注入后的掺杂剂。

图4为MFIS结构FeFET的工作示意图^[26]。在MFIS堆叠结构中,铁电层被用作存储介质,并集成于晶体管的栅极堆叠内,构成单晶体管(1T)

存储单元。通常情况下,铁电材料表现出如图4(b)所示的典型极化-电场(P - E)滞后特性。该材料具有两种稳定且等效的极化状态,即 $+P_r$ 和 $-P_r$,称为剩余极化;即使外部电场撤除后,这些状态仍保持稳定。这两种剩余极化状态的微观起源在于铁电材料的非中心对称晶体结构,该结构导致晶胞内部存在永久电偶极子,这些偶极子可呈现两种稳定构型,通常被称为“向上”和“向下”的极化方向,如图4(b)中箭头所示。从一种极化状态切换至另一种状态为可逆过程,需施加大于矫顽场 E_c 临界值的电

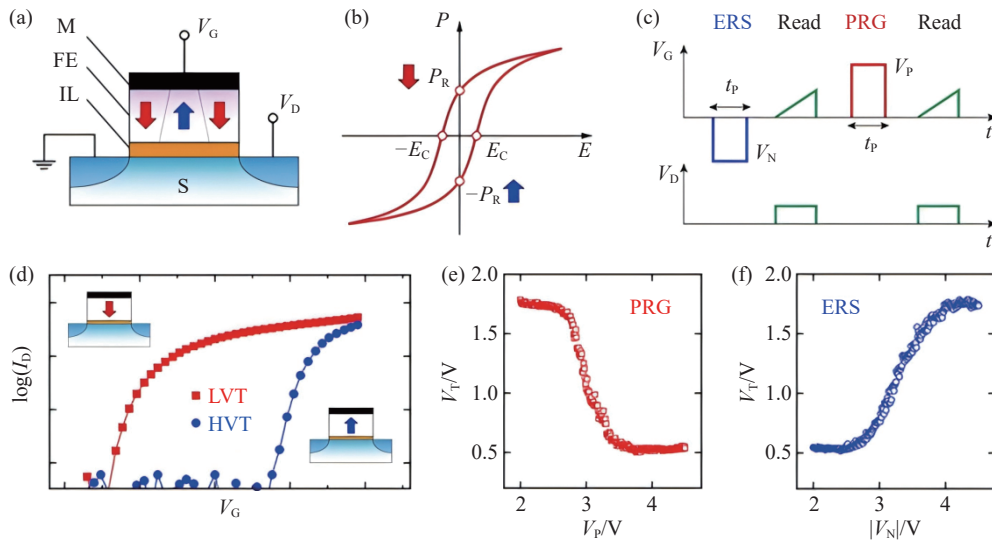


图4 FeFET的器件结构与基本工作原理^[27]。(a)器件MFIS结构示意图;(b)铁电材料 P - E 滞后回线;(c)FeFET读取-擦除测试波形;(d) V_{TL} 和 V_{TH} 的转移特性曲线;(e)编程和(f)擦除过程中不同脉冲幅值对应的 V_T 变化

Fig. 4 Device structure and fundamental working principle of FeFETs^[27]. (a) Schematic diagram of the FeFET (MFIS) device structure; (b) P - E hysteresis loop of ferroelectric materials; (c) read-erase test waveforms of FeFET; (d) transfer curves of V_{TL} and V_{TH} ; variations in V_T corresponding to different pulse amplitudes during the (e) program and (f) erase processes

场以驱动该转变。

目前主流的铁电材料通常由不同比例的 HfO_2 与 ZrO_2 固溶体构成,一般简称为 $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$ 或 HZO 。尽管最稳定的铁电性能出现在厚度约为 10 nm 的薄膜中,但研究表明,铁电性可在较宽的厚度范围内存在^[28-29],甚至近期在块状晶体中亦观察到该现象^[30]。典型的剩余极化 P_r 值为 $10\sim 40\ \mu\text{C}\cdot\text{cm}^{-2}$,而矫顽场 E_C 则约为 $1\sim 2\ \text{MV}\cdot\text{cm}^{-1}$ ^[31]。迄今为止,实验研究指出 HfO_2 中的铁电性主要源于正交相 ($\text{Pca}2_1$)^[32] 和菱面体相 ($\text{R}3\text{m}$ 或 $\text{R}3$)^[33]。此外,第一性原理计算^[30,34] 进一步表明,除上述相外,某些额外的极性多态结构也可能赋予 HfO_2 铁电性。

FeFET 的工作原理核心在于铁电层通过极化电荷对晶体管沟道产生场效应。由于铁电材料中的极化强度 P 代表单位体积的电偶极矩,因此在铁电-绝缘体界面处形成的表面电荷可通过库仑相互作用调控沟道电导率。以 p 型 FeFET (pFeFET) 为例,当铁电层处于向下极化状态时,会吸引少数载流子(空穴)向沟道区域迁移,从而提升沟道电导率,形成低阈值电压状态 (V_{TL});相反,向上极化则排斥少数载流子(空穴),降低沟道电导率,并诱导高阈值电压状态 (V_{TH})。与闪存器件类似,这两种不同的阈值电压状态用于存储二进制信息。

设定 V_{TL} 和 V_{TH} 状态的操作通常分别称为编程 (program, PRG) 和擦除 (erase, ERS),一般通过在栅极施加足够幅度的正电压脉冲和负电压脉冲实现,如图 4(c) 所示。图 4(d) 展示了对应 V_{TL} 与 V_{TH} 状态下的转移特性曲线 (漏极电流-栅极电压, $I_{\text{D}}-V_{\text{G}}$),二者由一个称为存储窗口的电压差分隔,该电压差定义为 $M_{\text{W}}=V_{\text{TH}}-V_{\text{TL}}$ 。

对于铁电 (ferroelectric, FE) 层具有足够高剩余极化的情形,存储窗口通常可由简化表达式近似^[35-36]:

$$M_{\text{W}} = 2\alpha E_{\text{C}} t_{\text{F}} \quad (1)$$

式中: α 为与铁电材料多种属性相关的参数,通常小于 1,可视为给定 FeFET 的理想性度量; t_{F} 为铁电层的厚度。考虑到掺杂 HfO_2 铁电薄膜的典型参数为 $E_{\text{C}} = 1\ \text{MV}\cdot\text{cm}^{-1}$ 和 $t_{\text{F}} = 10\ \text{nm}$, MFIS-FeFET 的存储窗口约为 2 V。

写入与读取操作的执行方式对于准确确定两个阈值电压状态 (V_{T}) 及其对应的存储窗口 (M_{W}) 至关重要。先前的研究^[26] 表明,当这两种操作在时间上分离并以脉冲形式执行时,可获得最优的存储窗口,如图 5(a) 所示。在此情形下, $I_{\text{D}}-V_{\text{G}}$ 读取扫描应尽可能快速完成,以最小化对已写入状态的干扰。相比之下,许多早期研究采用了一种替代方法,即通过缓慢地来回扫描 V_{G} 电压,同步完成写入与读取 $I_{\text{D}}-V_{\text{G}}$ 曲线的操作。然而,该方法需格外谨慎,因其可能严重扰动已写入的状态,导致对 M_{W} 的显著低估,并可能引发其他问题,例如明显的亚阈值斜率陡峭化及周期间不稳定性。

图 5(b) 为采用缓慢来回扫描 V_{G} 所测得的存储窗口,图 5(c) 为两种扫描方式的存储窗口对比图,可以直观地看到,相较于快速脉冲 V_{G} 扫描所得结果,缓慢来回扫描测得的存储窗口减小了约 25%。

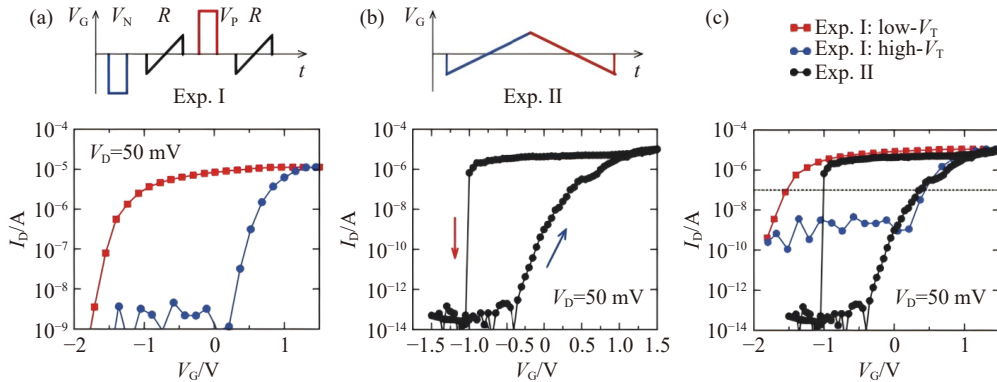


图 5 FeFET 中读操作对 $I_{\text{D}}-V_{\text{G}}$ 曲线和存储窗口的影响^[26]。(a)快速脉冲 V_{G} 后读取两种状态对应的 $I_{\text{D}}-V_{\text{G}}$ 曲线;(b)缓慢来回扫描对应的 $I_{\text{D}}-V_{\text{G}}$ 曲线;(c)将(a)和(b)叠加后的 $I_{\text{D}}-V_{\text{G}}$ 曲线

Fig. 5 Influence of read operation on $I_{\text{D}}-V_{\text{G}}$ curves and memory windows in ferroelectric transistors^[26]. (a) $I_{\text{D}}-V_{\text{G}}$ curves corresponding to two states read after fast pulsed V_{G} ; (b) $I_{\text{D}}-V_{\text{G}}$ curves under slow positive and negative scanning; (c) superimposed $I_{\text{D}}-V_{\text{G}}$ curves of (a) and (b)

2 铁电性的影响因素

HfO₂ 中的铁电性最初通过电容器结构得以证实, 该结构在顶部与底部 TiN 电极之间夹有一层超薄 HfO₂ 薄膜。该材料组合并非偶然选择, 而是源于半导体行业在传统高 k 金属栅晶体管中广泛采用的栅极堆叠方案。因此, 此后数年报道的 FeFET 器件大多沿用了这一堆叠结构, 因其与现有晶体管制造工艺高度兼容, 可充分利用成熟的工艺设备。本节系统探讨若干对铁电性具有显著影响的关键因素, 包括掺杂效应、机械应力及退火工艺等。这些因素不仅调控 HfO₂ 薄膜的铁电性能, 还直接影响 FeFET 器件的可靠性。

2.1 掺杂效应

研究表明, 不同掺杂剂对 HfO₂ 铁电相的稳定性存在显著差异^[37-38]。元素掺杂是调控钬基铁电性能最直接且最有效的手段。大量研究证实, HfO₂ 的微观结构与铁电特性高度依赖于掺杂剂的类型、离子半径及含量。其中, 掺杂剂离子半径通过归一化因子 α 影响剩余极化强度, 如图 6 所示。特别地, Zr 掺杂 HfO₂ 薄膜展现出突出的潜力: 由于 ZrO₂ 与 HfO₂ 具有相似的物理与化学性质, Zr 掺杂 HfO₂ 在较宽的掺杂含量范围内均表现出良好的铁电性, 如图 7 所示。当 Hf 与 Zr 的原子比例为 1:1 时, 即 Hf_{0.5}Zr_{0.5}O₂ (HZO), 通常可获得最佳铁电性能, 这也是目前研究最为广泛的钬基铁电体系。除具备宽泛的掺杂窗口外, Zr 的引入还可将薄膜的结晶退火温度显著降低至 400~500 °C, 较其他掺杂体系降低 200 °C 以上, 从而更好地兼容 CMOS 后道工艺, 在实际应用中更具优势^[39]。

工业常用掺杂剂 (Si、Al、La 等) 具有较窄的原子分数窗口 (2%~10%)^[41-43], 且需高温退火 (> 700 °C)。对于离子半径较小的掺杂剂, 例如 Al 掺杂的 HfO₂, 其含量增加会诱导薄膜在顺电态、铁电态与反铁电态之间发生相变。Al 掺杂促使 HfO₂ 由单斜相向立方相转变, 而铁电性源于低 Al 掺杂条件下稳定的非中心对称 Pca2₁ 正交相, 该晶相稳定存在于 HfO₂ 从单斜相向立方相转变的相变区间内。因此, 通过调控 Al 掺杂含量与退火工艺, 可在无需顶部电极的情况下获得铁电特性。图 8 分别展示了 HAO 电容器与其他掺杂 HfO₂ 电容器的性能对比,

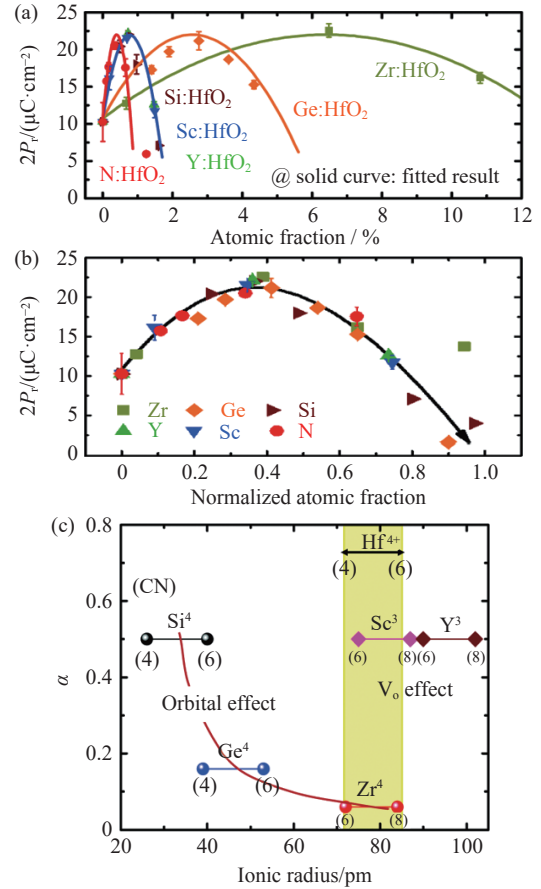


图 6 掺杂元素和含量对铁电器件性能的影响^[40]。(a) 2 倍剩余极化强度 ($2P_r$) 随各掺杂元素含量的变化关系; (b) 以归一化含量为变量的 $2P_r$ 变化关系, 其中钪掺杂的归一化因子 α 固定为 0.5, 原因是 Sc^{3+} 与 Hf^{4+} 的离子半径几乎一致; (c) 以离子半径为横坐标对 α 进行作图, 结果呈现出铁电极化稳定的两种不同趋势

Fig. 6 Effects of doping elements and contents on the performance of ferroelectric devices^[40]. (a) Dependence of the remanent polarization ($2P_r$) on the content of each dopant; (b) variation of $2P_r$ with the normalized doping content, where the normalization factor α for scandium doping is fixed at 0.5 due to the nearly identical ionic radii of Sc^{3+} and Hf^{4+} ; (c) plot of α against the ionic radius, showing two distinct trends in ferroelectric stabilization

HAO 铁电电容器在耐久性达到 10^8 次的同时, 还可实现 $0.5 \text{ MV}\cdot\text{cm}^{-1}$ 的 E_c , 展现出良好的存储窗口与可靠性^[44]。

相比之下, 尺寸较大的掺杂元素, 如 Y、Gd 和 La, 表现出明显不同的行为。随着掺杂剂含量的增加, 掺杂 HfO₂ 从初始顺电态转变为铁电态, 而在高含量下又恢复为顺电态, 基本不会出现反铁电相。以 La 掺杂的钬基铁电电容为例, Chernikova 等^[45]研究发现: 低含量 La 掺杂 (原子分数 2.1%) 能够有

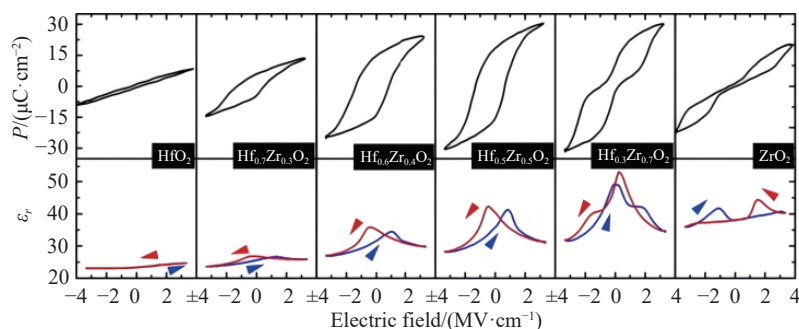


图7 上下电极为TiN的9 nm厚不同Zr掺杂含量的 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 铁电电容的极化强度-电场曲线和介电常数-电场曲线^[39]

Fig. 7 Polarization-electric field and dielectric constant-electric field curves of 9 nm-thick $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ ferroelectric capacitors with TiN top/bottom electrodes (at various Zr doping contents)^[39]

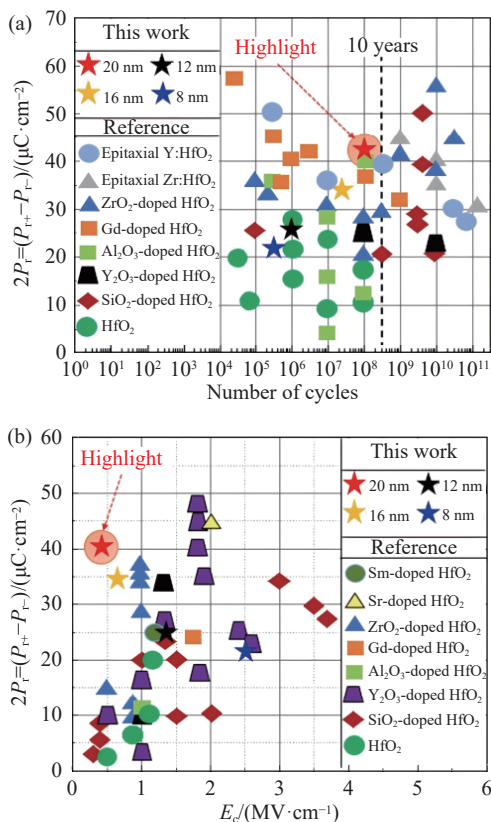


图8 HAO电容器与其他掺杂 HfO_2 基电容器的性能对比^[44]。

(a) 耐久性 & 性能指标; (b) 矫顽场强 E_c 及性能指标

Fig. 8 Performance comparison of HAO capacitors with other doped HfO_2 -based capacitors^[44]. (a) Endurance and performance metrics; (b) coercive field (E_c) and performance metrics

效抑制氧化铪中单斜相的形成,同时促进铁电相的生长;但当La掺杂含量过高时,薄膜中非晶相比比例显著上升,且在极化翻转的初始循环阶段出现多个电流峰,加剧了铁电器件的唤醒效应。因此,精确控制 HfO_2 中La掺杂含量成为一个关键课题。

此外,四价掺杂剂(Si/Ge/Zr)与三价掺杂剂

(Y/Sc)的作用机制存在差异。这两类掺杂剂均预期占据 HfO_2 晶胞中的Hf位,但三价掺杂剂因电荷补偿会引入氧空位,而四价掺杂剂则直接占据Hf位点,这一差异显著影响铁电相的形成能力。研究结果^[44]明确区分了单纯氧空位效应与四价掺杂剂对铁电相形成的独特贡献,强调不能简单地将 HfO_2 中的所有现象归因于氧空位的存在。实际上,由键合轨道引起的内应力/应变也起着关键作用。从器件制造角度看,掺杂剂的选择不仅影响 HfO_2 的结晶温度,还决定其在特定工艺条件下的适用性。对于低温应用(例如电容器),选择原子半径接近Hf的掺杂剂更为合适;而对于高热预算器件(如Gate-First FeFET),则需考虑其他类型的掺杂剂。

对于前端模块(front-end-of-line, FEOL)中的先栅极晶体管制造工艺,选择原子半径接近Hf的掺杂剂尤为重要,因为高温源极和漏极结激活退火是在已集成FE层的栅极堆叠之后进行的。相比之下,HZO FE薄膜更适合Gate-Last工艺,因为退火激活有利于非铁电单斜相相对于铁电正交相的稳定,可能恶化铁电特性及FeFET性能。对于后端模块(back-end-of-line, BEOL)中的FeFET应用,HZO可能是最佳选择,因为BEOL工艺通常要求较低的热预算,而HZO能够更好地满足这一需求。

因此,文献^[46]中报道的采用先栅极工艺制造的FeFET主要使用了Si掺杂的 HfO_2 铁电层。相比之下,采用HZO铁电层的FeFET主要在后栅极工艺及BEOL模块中制备^[47-51]。

2.2 电极封盖和机械应力

在基于 HfO_2 的MFIS FeFET结构中,顶部金属电极通常在低温下沉积,并在铁电薄膜完成必要

的结晶退火处理之前制备完毕。该金属电极通常采用 TiN, 被认为有助于稳定 HfO_2 中的铁电正交晶相。研究表明, 这种电极封盖的作用主要通过施加机械应力实现。例如, 在 Mg 掺杂的 ZrO_2 中, 当沿四方相(t相)的 c 轴施加约 3.6 GPa 的较大拉应力时, 可诱导形成 o-III 相^[52], 此时 t 相的 c 轴或 a 轴分别转换为 o-III 相的 a 轴或 c 轴。因此, 无论是源于层内应变还是电极引起的机械约束, 薄膜应力均显著影响相变过程^[53-55]。

具体而言, 在 $\text{TiN}/\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2/\text{TiN}$ 电容器中, 随着 TiN 厚度的增加, P_r 值亦随之增大, 表明 TiN 厚度的增加在 $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ 薄膜中引入了更大的拉应变^[54]。此外, 针对 ALD 制备的 Si 掺杂 HfO_2 和 La 掺杂 HfO_2 薄膜的研究表明, 仅需 2~3 GPa 的双轴拉应力即可产生约 1% 的双轴拉应变。这些结果凸显了机械应力在调控 HfO_2 基铁电薄膜相变与性能中的关键作用, 尤其在电极材料选择与制造工艺优化过程中, 必须充分考虑应力效应对铁电特性及器件性能的影响。

密度泛函理论(density functional theory, DFT)计算表明, 对于 HfO_2 和 ZrO_2 的多种晶相, 当施加约 8 GPa 的压应力时, o-III 相可趋于稳定^[56]。然而, 在实际工艺中实现如此高的压应力几乎不可行, 因此多数情况下观察到的是拉应力。该拉应力主要源于 HfO_2 或 ZrO_2 与衬底之间热膨胀系数(coefficient of thermal expansion, CTE)的差异: 由于 HfO_2 和 ZrO_2 的 CTE 高于 Si 衬底^[57], 铁电掺杂的 HfO_2 薄膜从高温冷却至室温时, 会在 Si 衬底上形成拉应变状态。实验结果证实, 采用能诱导更高拉应变的衬底时, 铁电 $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ 薄膜的剩余极化值(P_r)显著提升^[58]。

图 9 展示了不同电极封盖对铁电器件的影响^[59], 结果显示, W 底电极产生的较大拉伸应力促使 HZO 薄膜有效结晶为 o-III 相。与之相比, 初始状态下, TiN 和 Ni 底电极呈现类似反铁电的收缩型滞后回线, 而其他样品则展现出清晰的铁电滞后回线。这表明在较低机械应力条件下, 非极性的四方相(t相)未能完全转变为极性的正交相(o相)。

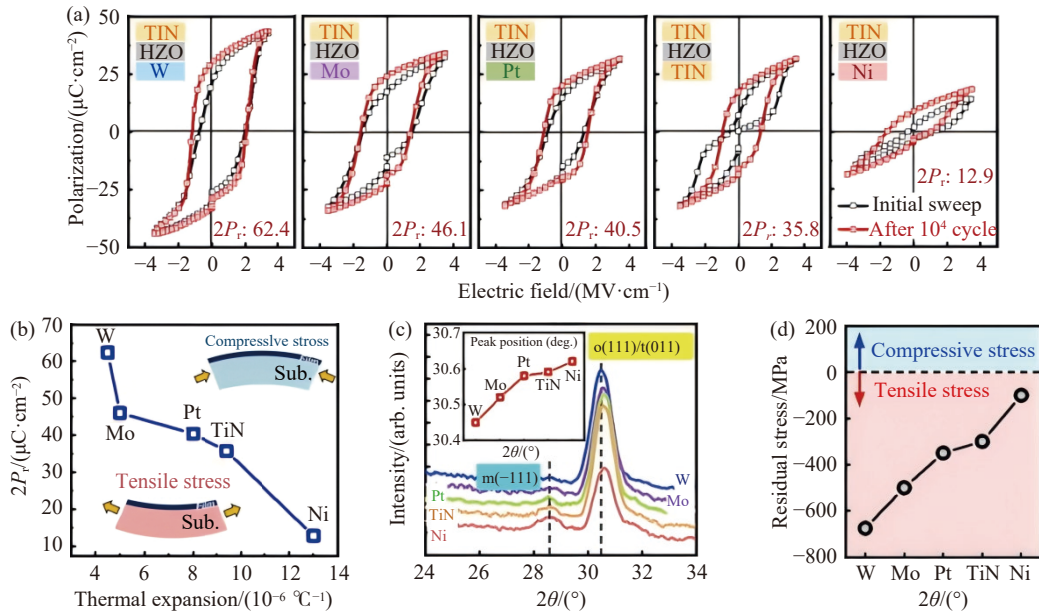


图 9 不同底电极条件下 HZO 薄膜的铁电性能、应力及物相特征^[59]。(a)不同底电极下 6 nm 厚钪锆氧化物(HZO)薄膜的极化-电场($P-E$)特性曲线: 钨(W)、钼(Mo)、铂(Pt)、氮化钛(TiN)、镍(Ni);(b)极化强度与底电极热膨胀系数的关联关系;(c)不同底电极下 HZO 薄膜在 24° ~ 33° (2θ)范围内的掠入射 X 射线衍射谱;(d)不同底电极 MFM 电容器的残余应力测试结果^[59]

Fig. 9 Ferroelectric properties, stress and phase characteristics of HZO thin films under different bottom-electrode conditions^[59]. (a) Polarization-electric field ($P-E$) characteristics of 6 nm thick HZO thin films with different bottom electrodes: W, Mo, Pt, TiN, and Ni, respectively; (b) relationship between polarization and thermal coefficient of bottom electrodes; (c) grazing-angle incidence x-ray diffraction spectra with 2θ range of 24° ~ 33° of the HZO film with various bottom electrodes; (d) result of the residual stress test of the MFM capacitor with various bottom electrodes

此外, 影响薄膜局部应力或应变的因素还包括 掺杂剂种类、氧含量、表面能及退火处理等。特定

掺杂剂因其原子尺寸与主体原子不同,可能影响氧空位的形成及层内应变分布。退火过程通过调控冷却速率和晶粒尺寸,进一步影响应力分布与相变路径。覆盖电极在结晶过程中可抑制晶粒生长并施加剪切作用,从而降低因晶粒长大而向单斜相(m相)转变的风险。施加电场时,与压电效应相关的晶胞膨胀会在薄膜中引入额外应变,促进t相向o-III相的转变。研究还表明,氧化铟锡(indium tin oxide, ITO)等氧化物顶部电极不仅有助于钝化顶部电极与铁电材料之间的缺陷界面,还可同时提供必要的封盖与导电功能^[60]。

2.3 退火效应

退火是铁电相形成的关键工艺,在此过程中,铁电薄膜发生晶化,并在掺杂与多种应力的协同作用下形成铁电相。RTA是一种广泛应用的退火技术,已成功用于HZO基铁电材料的晶体管工艺中^[61-63]。此外,微波退火(microwave annealing, MWA)因具备低热预算优势^[64-67],被视为替代RTA的潜在方案。研究表明,微波退火不仅能有效抑制掺杂剂扩散,还可缓解穿通效应与漏极诱导势垒降低(drain-induced barrier lowering, DIBL)效应,从而更有效地控制短沟道效应。

除退火方式外,退火后的冷却速率对最终相组成亦有显著影响。图10(a)展示了不同冷却速率下结晶过程的温度变化示意图,图10(b)展示了t相向m相、o-III相及o-I相转变时的能量变化。即使在薄膜体系中,冷却速率亦强烈影响铁电性能^[66]。例如,在对比3种不同冷却条件对TiN/Al掺杂 $\text{HfO}_2/\text{SiO}_2/\text{p}^{++}\text{-Si}$ 电容器的影响时,当冷却速率从 $2.3\text{ }^\circ\text{C}\cdot\text{s}^{-1}$ 提升至 $68\text{ }^\circ\text{C}\cdot\text{s}^{-1}$,剩余极化值(P_r)从 $8.5\text{ }\mu\text{C}\cdot\text{cm}^{-2}$ 显著增加至 $50\text{ }\mu\text{C}\cdot\text{cm}^{-2}$ 。该现象与机械应力及活化势垒效应一致:冷却速率越高,产生的机械应力越强,t相转变为最稳定m相的概率越低,从而有利于获得更优的铁电性能。

除上述因素外,氧空位、面内应力、薄膜厚度、插层及种子层等多种因素亦会对铁电性能产生影响,相关研究仍需进一步深入。

3 FeFET的可靠性

铁电材料的可靠性,尤其是其数据保持特性和耐久性,显著影响存储器的性能。在铁电材料与器

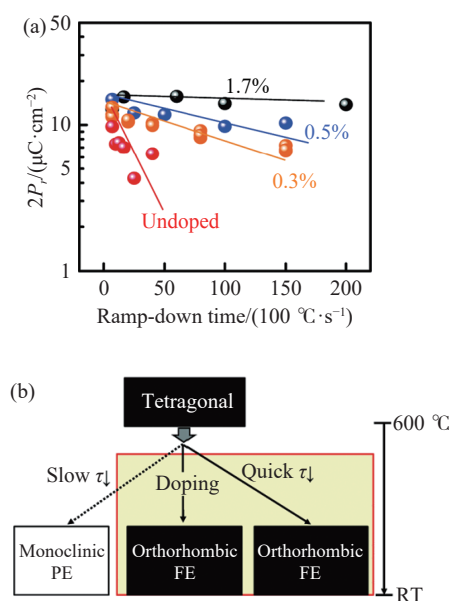


图10 退火后降温过程对铁电性能的影响^[66]。(a) 3种钇掺杂及未掺杂氧化铪薄膜的2倍剩余极化强度($2P_r$)与降温至 $100\text{ }^\circ\text{C}$ 所需时间 τ (单位:s)的关系曲线;(b) 退火后降温过程中氧化铪结构相变示意图

Fig. 10 Effect of cooling process on ferroelectric properties after annealing^[66]. (a) Dependence of the double remanent polarization ($2P_r$) on the cooling time τ (in seconds) to $100\text{ }^\circ\text{C}$ for Y-doped and undoped HfO_2 thin films; (b) schematic diagram of the structural phase transformation in HfO_2 during the cooling process post annealing

件的设计过程中,必须全面考虑数据保持特性、耐久性等关键可靠性问题。针对FeFET的应用,界面电荷的注入与恢复问题亦是不可忽视的重点关注领域。本节深入探讨这些因素,解析其对铁电器件可靠性的影响。

3.1 保持特性

数据保持能力是非易失性存储器的关键性能指标之一,指器件在长时间内(通常在较高温度条件下可达10年或更久)稳定保存数据的能力。FeFET的概念早在约70年前被提出^[1-3],但由于其数据保持能力较差(如PZT和SBT体系),商业化难度较大。近年来,氧化铪基FeFET的出现与发展为铁电晶体管的应用注入了新动能。已有研究表明,氧化铪基FeFET的保持时间可达10年^[68]。

Ma等^[69]的研究表明:氧化铪基FeFET的数据保持特性可能随存储时间推移而逐渐退化。这种退化主要由两种机制主导:(1)铁电层与串联电容引起的不完全电荷补偿所导致的退极化场,这是

造成数据保持能力快速衰减的主要原因;(2)栅极漏电产生的陷阱电荷,其抵消了铁电层中的极化效应,是长时间尺度下保持特性退化的主要原因。下文重点分析这两种退化机制。

退极化场 E_{dep} 取决于剩余极化强度 P_r 、铁电层的相对介电常数 ϵ_{FE} 、铁电层电容 C_{FE} 以及 IL 与硅衬底的串联电容 C_{IS} , 其中 C_{IS} 采用式(2)计算。

$$C_{\text{IS}} = C_{\text{IL}} C_{\text{S}} / (C_{\text{IL}} + C_{\text{S}}) \quad (2)$$

式中, C_{IL} 为 IL 的相对介电常数, C_{S} 为真空介电常数。退极化场 E_{dep} 与这些参数的具体关系如式(3)所示:

$$E_{\text{dep}} = P_r \epsilon_{\text{FE}} \epsilon_0 \left(\frac{C_{\text{IS}}}{C_{\text{FE}}} + 1 \right)^{-1} \quad (3)$$

由式(3)可知,在理想 MFM 结构中,金属电极可提供必要的自由电荷以完全屏蔽极化电荷,因此 $E_{\text{dep}} = 0$ ^[70]。然而,非理想金属、死层或寄生层的存在均会阻碍极化电荷的完全屏蔽,从而产生非零的退极化场(E_{dep})。

尽管在 MFM 电容器中,顶部与底部金属电极可提供充足的电荷补偿,使理想情况下不存在退极化场,但在 FeFET 的 MFIS 堆叠结构中, E_{dep} 始终存在,即使在未施加外部栅压($V_G = 0$ V)时亦是如此。这主要归因于 IL 与衬底的介电常数较低,以及极化电荷未能完全补偿。

通常,随着温度(T)升高,器件存储过程中剩余极化强度的衰减速率加快^[60, 71],这是由于热退极化效应使存储器读出信号减弱(即 $P_r \propto T^{-1}$)。然而,通过对器件进行简单冷却处理,可在一定程度上恢复热退极化造成的存储窗口损耗^[72]。值得注意的是, Fengler 等^[73]指出,在氧化铅基铁电材料中,由退极化场引起的剩余极化损失并非严重问题。

表 1 展示了不同铁电材料计算退极化场的相关参数。对于特定铁电材料,退极化场 E_{dep} 与矫顽场 E_C 的比值对保持特性具有显著影响:当 $E_{\text{dep}}/E_C \gg 1$ 时,铁电体的保持特性将出现严重退化;而当 E_{dep} 约等于或小于 E_C 时,预期损失较小。Gong 等^[74]的研究表明,在典型的 MFIS FeFET 中,铁电层的 E_{dep} 与 E_C 数值相当,而钙钛矿型铁电薄膜(如 PZT 或 SBT)则表现出更高的比值。这主要源于氧化铅的矫顽场强度较 PZT 或 SBT 高出约一个数量级,从而保障了其优异的保持性能。

然而,近期研究表明,在氧化铅基 FeFET 中,

表 1 不同铁电材料计算退极化场的相关参数^[75]

Table 1 Parameters related to the depolarization field calculation for various ferroelectric materials^[75]

参数	PZT	SBT	铅基铁电 电容(HZO)
铁电层介电常数	200	150	30
铁电层厚度/nm	10~340	10~130	10
矫顽场强/(kV·cm ⁻¹)	31	90	1

FE/IL 界面处的陷阱几乎完全补偿了极化(约 90%)。因此,保持特性退化的主要原因可归结为退极化场 E_{dep} 所引起的极化减弱。基于上述分析,可通过改善 IL 质量、降低缺陷密度以及减少铁电薄膜中的非极性相(例如 m 相)来缓解退极化场对保持性的不利影响,从而提升器件的整体性能。

3.2 耐久性

尽管氧化铅基 FeFET 已展现出优异的保持特性,但其有限的耐久性仍是一个严峻问题。图 11(a)展示了 FeFET 在耐久性测试过程中存储窗口的变化,图 11(b)则展示了耐久性测试前后 I_D - V_G 曲线的变化。在铁电存储器的写操作循环过程中,器件

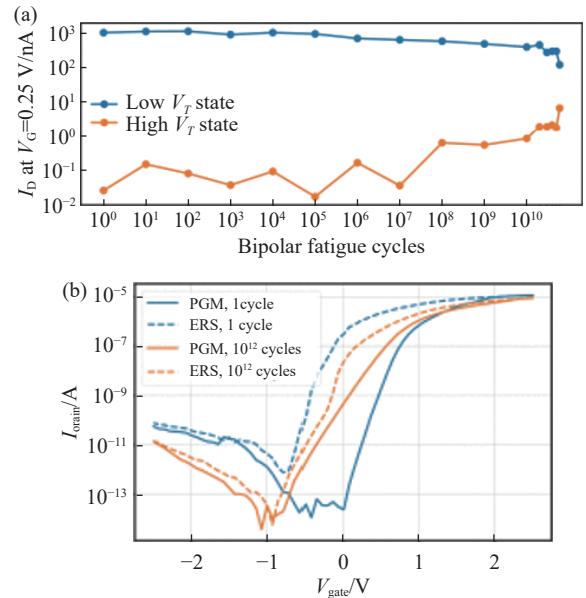


图 11 FeFET 耐久性测试^[79]。(a)FeFET 器件经历 10^{10} 次循环后的耐久性特性;(b)FeFET 器件经历 10^{12} 次循环后的 I_D - V_G 曲线

Fig. 11 FeFET endurance test^[79]. (a) Endurance characteristics of the FeFET device after 10^{10} cycling tests; (b) I_D - V_G curves of the FeFET device after 10^{12} cycling tests

会经历两个显著不同的阶段。首先是“唤醒”阶段,原始铁电体中的畴结构部分解除钉扎,导致剩余极化强度增加。该现象通常持续至 $10^4 \sim 10^5$ 次循环范围内^[76-77],其可能原因包括铁电层内固有缺陷(即氧空位)的重新分布^[77]以及从四方相向正交相的转变^[78]。

在唤醒阶段之后,铁电器件的进一步循环将引发疲劳现象。在疲劳阶段,铁电层的退化会导致 $I-V$ 滞回曲线中的峰值展宽并降低,从而缩小器件的存储窗口^[68]。疲劳效应主要源于铁电层内部产生的电缺陷(以氧空位为主),这些缺陷会增大漏电流。相比之下,在唤醒阶段,漏电流基本保持稳定,表明缺陷主要在疲劳阶段形成^[76]。该研究表明,疲劳现象归因于电荷陷阱的存在,这些陷阱导致铁电畴部分被钉扎,使铁电体内的有效电场降低,进而减少可移动畴的数量。随着漏电流的增大以及温度加速的退化过程,氧空位的生成及其引发的电荷陷阱累积成为限制氧化铅基铁电电容器耐久性的关键因素^[76]。

上述耐久性问题普遍存在于各类氧化铅基铁电器件中。对于 FeFET, 还需关注 IL 的退化。尽管氧化铅具有较大的矫顽电场(E_C),有利于数据的稳定保持,但会对写入循环耐久性产生不利影响。实际上,通过对 MFIS FeFET 栅堆叠中电位移场守恒的分析,可得出以下结论:

$$D = \varepsilon_0 \varepsilon_F E_F + P_S = \varepsilon_0 \varepsilon_{IL} E_{IL} \quad (4)$$

式中: ε_0 为真空介电常数, ε_F 和 ε_{IL} 分别为 FE 层和 IL 的介电常数, E_F 和 E_{IL} 分别为 FE 层和 IL 中的电场, P_S 为自发极化强度。

由于 IL 的介电常数通常较低,在晶体管状态切换过程中,IL 将承受极高的电场。在大量 PRG/ERS 循环中,这种高电场会不可避免地导致 IL 退化。此外,较大的 E_{IL} 会引起 IL 能带严重弯曲,这是因为在 PRG 和 ERS 操作过程中,栅堆叠中的电子和空穴分别被注入至 IL 中。实际上, Yurchuk 等^[80]、Chernikova 等^[81]的研究表明,在交替的 PRG/ERS 脉冲作用下,IL 中持续的电荷转移会引发界面退化,并增加陷阱密度。该现象导致注入的电荷逐渐被永久捕获在栅堆叠中,同时阻碍铁电畴翻转并屏蔽铁电极化对沟道的影响。

因此,在经历 $10^4 \sim 10^5$ 次双极型电压波形写入循环后,存储窗口逐渐关闭。Yurchuk 等^[80]指出,

耐久性失效主要源于 IL 退化,而非铁电层本身的退化。事实上,以往关于 MFM 电容器的研究^[82]表明,铁电层在出现显著退化前可承受超过 10^{11} 次写入循环,这一结果进一步支持了上述结论。此外, Gong 等^[74]指出,电荷捕获与陷阱产生均对 FeFET 的耐久性失效有影响:前者导致 I_D-V_G 曲线中阈值电压(V_T)发生偏移,而后者则引起曲线斜率退化。

为提升耐久性,研究人员已提出多种策略,旨在抑制 IL 退化^[83]或减轻甚至消除循环后退化的影响^[84]。Mulaosmanovic 等^[85]提出可通过局部热处理延长 FeFET 的循环寿命。该机制可归因于 IL 中循环诱导损伤的热愈合效应,此现象亦见于其他类型的逻辑与存储器器件^[82]。事实上,近期研究^[86]表明,降低退火温度可改善 IL 质量,从而有望提升循环耐久性。

4 FeFET 的应用与展望

FeFET 作为一种极具潜力的非易失性存储器件,因其与现代半导体工艺的高度兼容性 & 优异性能而备受关注。然而,要实现其大规模商业化应用,仍需克服若干关键挑战。未来的研究将聚焦于材料优化、疲劳与唤醒现象缓解等多个方面,以推动铁电晶体管技术取得重大突破。值得关注的是,当 HZO 薄膜直接沉积于硅基底上时,一层原生的 SiO_2 IL 不可避免地形成于 HZO 薄膜与硅基底之间^[87]。该 IL 会降低基于 HZO 的 FeFET 的可靠性,因为其引发的大量电荷捕获会导致耐久性下降及读取延迟问题^[88]。此外,由于 SiO_2 的介电常数较低,IL 两端的栅极电压降亦显著增大,使 IL 承受严重的电场应力,从而引发耐久性问题。同时,IL 的退极化场亦会对保持特性产生不利影响。因此,已有大量研究致力于替代或减薄对铁电行为产生不利影响的天然 IL。优化堆叠材料设计,使尽可能多的栅极电压施加于 FE 层,同时最小化 IL 上的电压降,是提升写入效率与增强 IL 可靠性的关键。

例如,通过高温氮化工艺在界面处形成 SiON 而非 SiO_2 ,可有效提升器件的存储窗口与可靠性。如图 12 所示^[25, 89]。

为降低界面层的不利影响,可采用高 k 介质(如 ZrO_2 ^[87] 或 AlON)、低热预算工艺(如以微波退火替代快速热退火^[66]),以及 IL 较薄的衬底(如 Ge ^[90] 或 SiGe ^[91])。此外,为优化 FeFET 的存储性

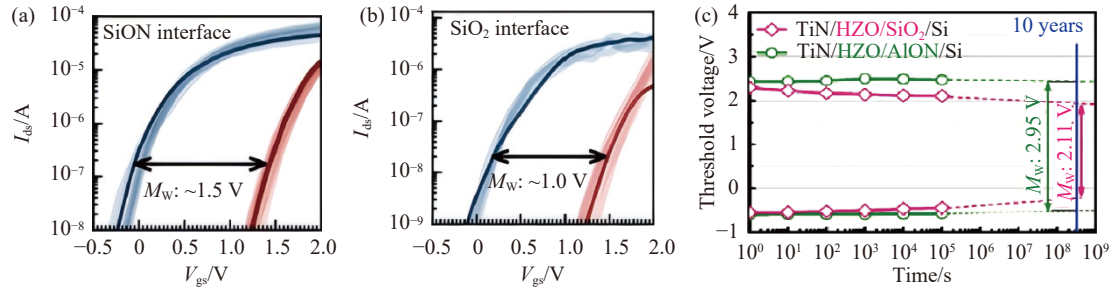


图 12 不同 IL 对存储窗口的影响。(a)SiON^[25]; (b)SiO₂^[25]; (c)AlON^[89]

Fig. 12 Effect of different interfacial layers on the FeFET memory window. (a) SiON^[25]; (b) SiO₂^[25]; (c) AlON^[89]

能, Kim 等^[92] 采用氧清除技术减薄 IL 厚度, 如图 13 所示。结果表明, Sc 的引入有效降低了 HZO 与硅基底间 SiO_x IL 的厚度, 从而降低了工作电压, 并显著提升了 FeFET 的保持性与耐久性。在 2 V 脉冲条件下, 含 Sc 的 FeFET 可实现写入后即时读取, 且耐久性提升至 10¹⁰ 次循环, 这可归因于电荷捕获效应的减弱。

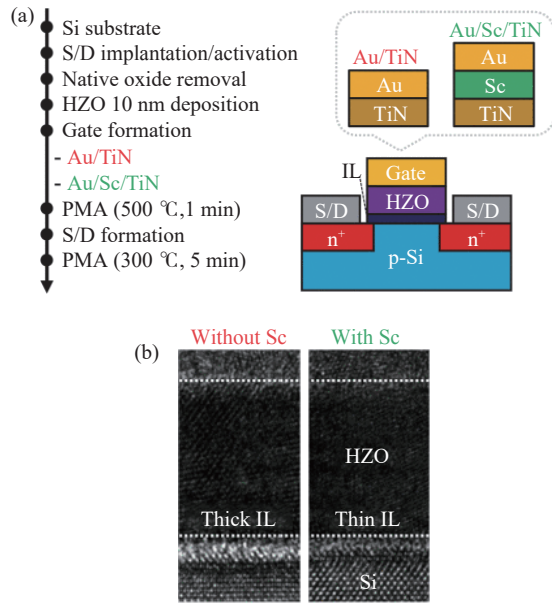


图 13 基于氧清除技术的 FeFET^[92]。(a)工艺流程示意图; (b)插入 Sc 前后 IL 厚度的透射电子显微镜对比图

Fig. 13 FeFET based on oxygen scavenging technology^[92]. (a) Schematic diagram of fabrication process; (b) TEM comparison images of the interfacial layer thickness before and after Sc insertion

此外, 针对高密度存储器应用, Mo 等^[93] 提出并设计了一种基于超薄体铟镓锌氧化物(indium-gallium-zinc oxide, IGZO)沟道的铁电 HfO₂ 场效应晶体管, 如图 14 所示。IGZO 在沉积态下呈非晶结构, 且该材料具有高迁移率, 可工作于无结场效应

晶体管模式, 能有效抑制由表面传导引发的电荷捕获效应, 并可实现介电常数近乎为零的低介电常数 (low- k) IL 层, 兼具低热预算, 因此被视为一种极具前景的沟道材料。因此, 基于 IGZO 沟道的 FeFET 有望应对前述挑战, 适用于高密度存储器应用。该器件展现出理想的亚阈值摆幅和高沟道迁移率。其中, IGZO 作为沟道材料有助于稳定铁电相的形成。基于金属/IGZO/HZO/金属堆叠结构的电容器表现出清晰的铁电特性。通过顶部栅极施加固定体势, IGZO FeFET 实现了可控的存储器操作, 图 15 展示了沉积 2 nm 厚 HfO₂ IL 的 IGZO 沟道 FeFET, 该器件具备高达 10⁸ 次的耐久性 > 超过一年的保持能力^[94], 展现出在高密度、低功耗存储应用中的巨大潜力。

目前 Lee 等^[95] 已成功制备出超薄 HZO 铁电电容, 且无需热处理即可实现铁电性, 其工作电压低至 0.5 V, 如图 16 所示。此外, Asuka 等^[96] 通过采用 ITO 衬底实现了无需热处理的 FeFET。

此外, FeFET 在神经形态计算及其他新兴应用中亦展现出广阔前景。随着对氧化铪基铁电薄膜研究的不断深入, FeFET 在高频、高功率电子器件领域的应用范围将进一步拓展, 并在存算一体化、边缘智能等方向凸显其重要价值。FeFET 的栅极集成结构可实现“存储-计算”一体化, 天然契合类脑计算对突触模拟的需求, 加之写入能耗低与超低工作电压等特性, 可很好地满足类脑计算对极致低功耗的要求。目前已有研究通过材料与器件结构的协同优化, 显著提升了线性度、耐久性与开关速度, 并完成了阵列级验证与系统级性能基准测试, 为 FeFET 基神经形态硬件的片上训练应用奠定了关键技术基础^[97], 如图 17 所示。铪基 FeFET 已在类脑突触构建与存算一体化等领域实现了原型验证, 但

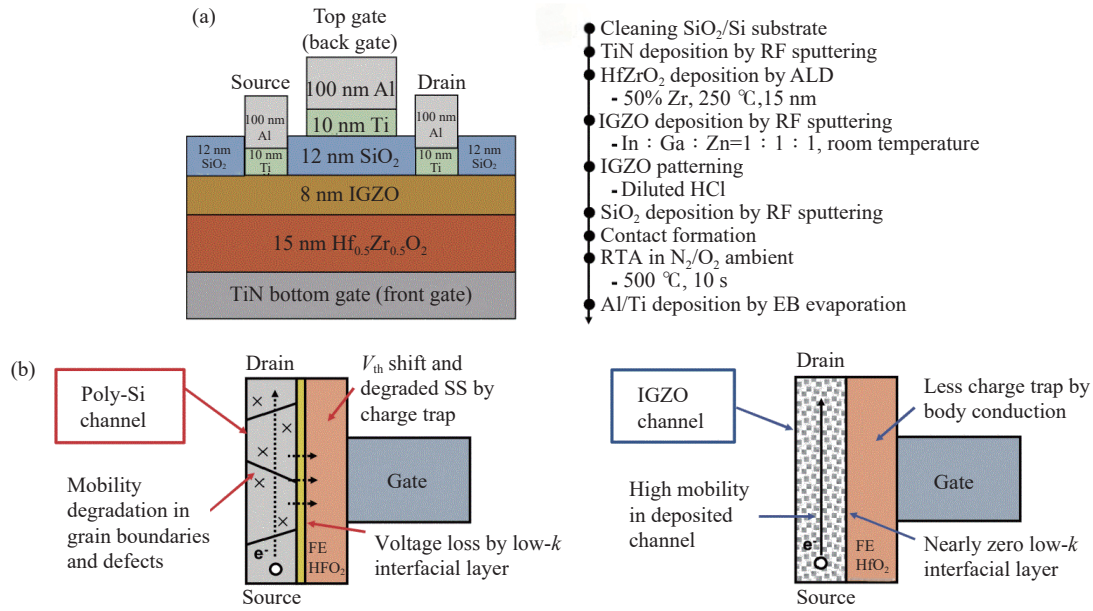


图 14 基于 IGZO 沟道的 FeFET^[93]。(a) 器件结构与工艺流程示意图; (b) FeFET 中 IGZO 沟道相较于多晶硅沟道的优势

Fig. 14 FeFET based on an IGZO channel^[93]. (a) Schematic diagram of device structure and fabrication process; (b) advantages of the IGZO channel over the polysilicon channel for FeFETs

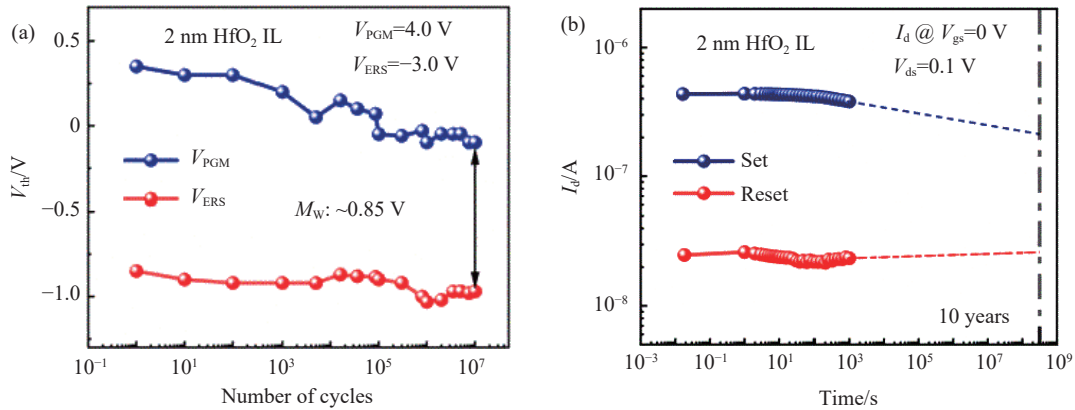


图 15 基于 IGZO 沟道的 HZO FeFET 的可靠性测试^[94]。(a) 耐久性特性; (b) 室温下的 PRG/ERS 保持特性

Fig. 15 Reliability characterization of HZO Based FeFETs with IGZO channels^[94]. (a) Endurance characteristics; (b) PRG/ERS retention characteristics at room temperature

仍面临器件变异性大、突触权重线性度不足等挑战。未来,通过多元掺杂、栅堆叠结构优化以及算法-硬件协同设计等技术路径的突破,钪基 FeFET 有望进一步提升可靠性与计算精度,加速从实验室原型向规模化应用的转化,成为类脑计算与边缘智能终端的核心硬件支撑,推动计算架构向低功耗、高算力的类脑范式演进。后续对 FeFET 的研究将聚焦于整合上述策略,以开发具备更高耐久性与更低工作电压的 FeFET 器件。通过综合优化材料选择、结构设计与操作模式,可显著增强 FeFET 的性能与可靠性。随着对 FeFET 基础物理机制理解的持续

深化以及新材料与新工艺的不断进步,FeFET 有望在未来数年内实现商业化应用,尤其在嵌入式非易失性存储器领域,凭借其快速读写速度、低功耗与高集成密度等优势,成为极具竞争力的技术方案。

5 结语

综上所述,氧化钪基 FeFET 凭借其优异的性能及其与现代半导体工艺的高度兼容性,在非易失性存储与逻辑器件领域展现出巨大潜力。本文通过系统探讨 FeFET 的基本工作原理、材料特性及其在非易失性存储器中的应用,深入剖析了如何通

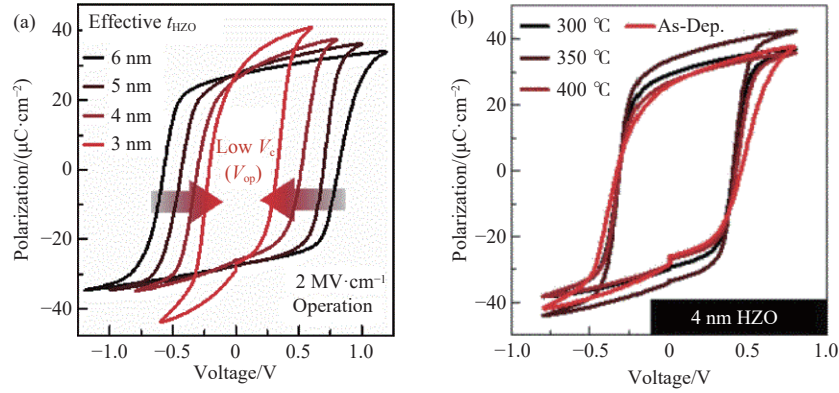


图 16 (a)不同厚度和(b)不同退火温度条件下,HZO 铁电电容的极化强度-电压关系曲线^[95]

Fig. 16 Polarization-voltage curves for HZO ferroelectric capacitors with (a) different thicknesses and (b) different annealing temperatures^[95]

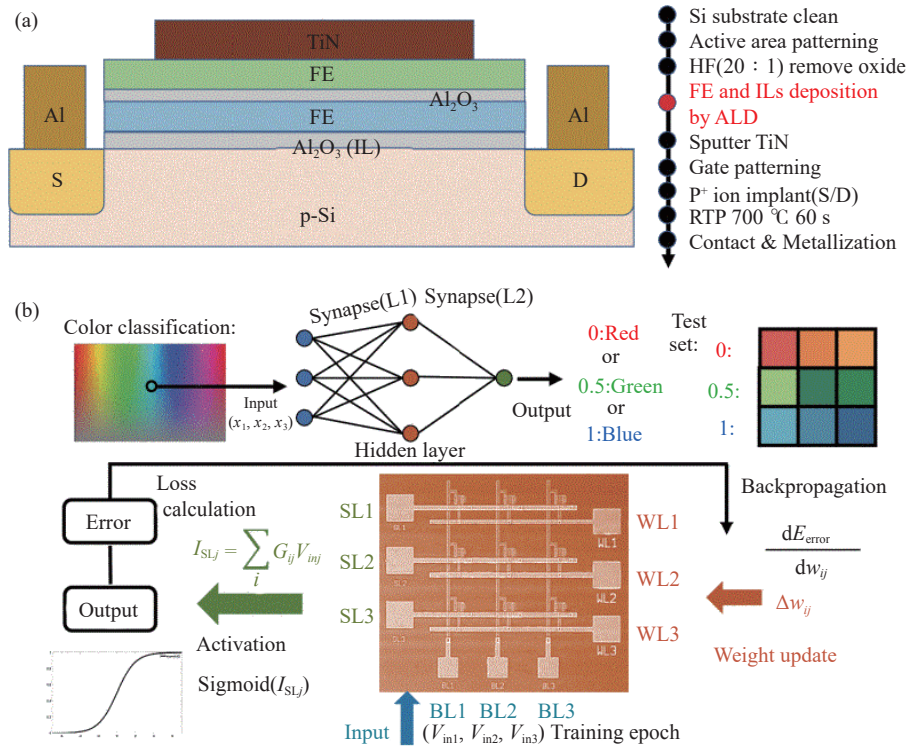


图 17 具有高线性度的混合 FeFET^[97]。(a)器件结构与工艺流程示意图; (b)用于颜色分类任务的 3×3 FeFET 阵列的片上训练示意图

Fig. 17 Hybrid-FE-layer FeFET with high linearity^[97]. (a) Schematic diagram of the device structure and process flow; (b) schematic diagram of on-chip training for a 3×3 FeFET array for color-classification tasks

过优化掺杂策略、改进制造工艺以及创新器件结构来提升其性能。尽管仍面临疲劳、唤醒效应及保持特性退化等方面的挑战,但针对 IL 退化等问题的持续研究与技术创新已取得显著进展。随着对基础物理机制认识的不断深入以及新材料的引入,有望在 FeFET 中实现更高的耐久性与更低的工作电压,这使其在嵌入式非易失性存储器和神经形

态计算等前沿领域展现出广阔的应用前景。持续的技术突破将使 FeFET 不仅能够满足当前电子设备对高性能存储解决方案的需求,更将在未来电子学发展中发挥关键作用。

参考文献:

[1] Looney D H. Semiconductive translating device:

- US19572791758[P]. 1957-05-07.
- [2] Brown W L. Semiconductive device: US19572791759[P]. 1957-05-07.
- [3] Ross M. Semiconductive translating device: US2791760[P]. 1957-05-07.
- [4] Moll J L, Tarui Y. A new solid state memory resistor[J]. *IEEE Transactions on Electron Devices*, 1963, 10(5): 338.
- [5] Zuleeg R, Wieder H H. Effect of ferroelectric polarization on insulated-gate thin-film transistor parameters[J]. *Solid-State Electronics*, 1966, 9(6): 657-661.
- [6] Wu S Y. A new ferroelectric memory device, metal-ferroelectric-semiconductor transistor[J]. *IEEE Transactions on Electron Devices*, 1974, 21(8): 499-504.
- [7] Si Mengwei, Saha A K, Gao Shengjie, et al. A ferroelectric semiconductor field-effect transistor[J]. *Nature Electronics*, 2019, 2(12): 580-586.
- [8] Chauhan N, Bagga N, Banchhor S, et al. Negative-to-positive differential resistance transition in ferroelectric FET: physical insight and utilization in analog circuits[J]. *IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control*, 2022, 69(1): 430-437.
- [9] Chen K T, Liao C Y, Chen H Y, et al. Ferroelectric HfZrO₂ FETs for steep switch onset[J]. *Microelectronic Engineering*, 2019, 215: 110991.
- [10] Huang Weixing, Zhu Huilong, Zhang Yongkui, et al. Investigation of negative DIBL effect for ferroelectric-based FETs to improve MOSFETs and CMOS circuits[J]. *Microelectronics Journal*, 2021, 114: 105110.
- [11] Kumar A, Rao A, Goswami M, et al. Electrical characterization of MFeOS gate stacks for ferroelectric FETs[J]. *Materials Science in Semiconductor Processing*, 2013, 16(6): 1603-1607.
- [12] Katsouras I, Zhao Dong, Spijkman M J, et al. Controlling the on/off current ratio of ferroelectric field-effect transistors[J]. *Scientific Reports*, 2015, 5: 12094.
- [13] Sugibuchi K, Kurogi Y, Endo N. Ferroelectric field-effect memory device using Bi₄Ti₃O₁₂ film[J]. *Journal of Applied Physics*, 1975, 46(7): 2877-2881.
- [14] Sakai S, Takahashi M. Recent progress of ferroelectric-gate field-effect transistors and applications to nonvolatile logic and FeNAND flash memory[J]. *Materials*, 2010, 3(11): 4950-4964.
- [15] Sakai S, Ilangovan R. Metal-ferroelectric-insulator-semiconductor memory FET with long retention and high endurance[J]. *IEEE Electron Device Letters*, 2004, 25(6): 369-371.
- [16] Takahashi M, Horiuchi T, Li Q H, et al. Basic operation of novel ferroelectric CMOS circuits[J]. *Electronics Letters*, 2008, 44(7): 467-469.
- [17] Zhang Xizhen, Takahashi M, Takeuchi K, et al. 64 kbit ferroelectric-gate-transistor-integrated NAND flash memory with 7.5 V program and long data retention[J]. *Japanese Journal of Applied Physics*, 2012, 51(4S): 04DD01.
- [18] Takahashi M, Sakai S. Area-scalable 10⁹-cycle-high-endurance FeFET of strontium bismuth tantalate using a dummy-gate process[J]. *Nanomaterials*, 2021, 11(1): 101.
- [19] Böske T S, Müller J, Bräuhäus D, et al. Ferroelectricity in hafnium oxide thin films[J]. *Applied Physics Letters*, 2011, 99(10): 102903.
- [20] Mistry K, Allen C, Auth C, et al. A 45 nm logic technology with high-*k* + metal gate transistors, strained silicon, 9 Cu interconnect layers, 193 nm dry patterning, and 100% Pb-free packaging[C]//2007 IEEE International Electron Devices Meeting. Washington: IEEE, 2007: 247-250.
- [21] Rabe K M, Dawber M, Lichtensteiger C, et al. Modern physics of ferroelectrics: essential background[J]. *Topics in Applied Physics*, 2007, 105: 1-30.
- [22] Zagni N, Puglisi F M, Pavan P, et al. Reliability of HfO₂-based ferroelectric FETs: a critical review of current and future challenges[J]. *Proceedings of the IEEE*, 2023, 111(2): 158-184.
- [23] Schroeder U, Park M H, Mikolajick T, et al. The fundamentals and applications of ferroelectric HfO₂[J]. *Nature Reviews Materials*, 2022, 7(8): 653-669.
- [24] Mikolajick T, Schroeder U, Slesazek S. The past, the present, and the future of ferroelectric memories[J]. *IEEE Transactions on Electron Devices*, 2020, 67(4): 1434-1443.
- [25] Raffel Y, De S, Lederer M, et al. Synergistic approach of interfacial layer engineering and READ-voltage optimization in HfO₂-based FeFETs for in-memory-computing applications[J]. *ACS Applied Electronic Materials*, 2022, 4(11): 5292-5300.
- [26] Mulaosmanovic H, Dünkler S, Müller J, et al. Impact of read operation on the performance of HfO₂-based ferroelectric FETs[J]. *IEEE Electron Device Letters*, 2020, 41(9): 1420-1423.
- [27] Mulaosmanovic H, Breyer E T, Dünkler S, et al. Ferroelectric field-effect transistors based on HfO₂: a review[J]. *Nanotechnology*, 2021, 32(50): 502002.
- [28] Cheema S S, Kwon D, Shanker N, et al. Enhanced

- ferroelectricity in ultrathin films grown directly on silicon[J]. *Nature*, 2020, 580(7804): 478-482.
- [29] Mimura T, Shimizu T, Funakubo H. Ferroelectricity in $\text{YO}_{1.5}$ - HfO_2 films around 1 μm in thickness[J]. *Applied Physics Letters*, 2019, 115(3): 032901.
- [30] Materlik R, Künneth C, Kersch A. The origin of ferroelectricity in $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$: a computational investigation and a surface energy model[J]. *Journal of Applied Physics*, 2015, 117(13): 134109.
- [31] Park M H, Lee Y H, Kim H J, et al. Ferroelectricity and antiferroelectricity of doped thin HfO_2 -based films[J]. *Advanced Materials*, 2015, 27(11): 1811-1831.
- [32] Sang Xiahan, Grimley E D, Schenk T, et al. On the structural origins of ferroelectricity in HfO_2 thin films[J]. *Applied Physics Letters*, 2015, 106(16): 162905.
- [33] Wei Yingfen, Nukala P, Salverda M, et al. A rhombohedral ferroelectric phase in epitaxially strained $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ thin films[J]. *Nature Materials*, 2018, 17(12): 1095-1100.
- [34] Batra R, Huan T D, Jones J L, et al. Factors favoring ferroelectricity in hafnia: a first-principles computational study[J]. *The Journal of Physical Chemistry C*, 2017, 121(8): 4139-4145.
- [35] Miller S L, McWhorter P J. Physics of the ferroelectric nonvolatile memory field effect transistor[J]. *Journal of Applied Physics*, 1992, 72(12): 5999-6010.
- [36] Lue H T, Wu C J, Tseng T Y. Device modeling of ferroelectric memory field-effect transistor (FeMFET)[J]. *IEEE Transactions on Electron Devices*, 2002, 49(10): 1790-1798.
- [37] Xu Lun, Nishimura T, Shibayama S, et al. Kinetic pathway of the ferroelectric phase formation in doped HfO_2 films[J]. *Journal of Applied Physics*, 2017, 122(12): 124104.
- [38] Schroeder U, Yurchuk E, Müller J, et al. Impact of different dopants on the switching properties of ferroelectric hafniumoxide[J]. *Japanese Journal of Applied Physics*, 2014, 53(8S1): 08LE02
- [39] Müller J, Böske T S, Schröder U, et al. Ferroelectricity in simple binary ZrO_2 and HfO_2 [J]. *Nano Letters*, 2012, 12(8): 4318-4323.
- [40] Toriumi A, Xu L, Mori Y, et al. Material perspectives of HfO_2 -based ferroelectric films for device applications [C]//2019 IEEE International Electron Devices Meeting. San Francisco: IEEE, 2019: 15.1. 1-15.1. 4.
- [41] Richter C, Schenk T, Park M H, et al. Si doped hafnium oxide: a “fragile” ferroelectric system[J]. *Advanced Electronic Materials*, 2017, 3(10): 1700131.
- [42] Mueller S, Mueller J, Singh A, et al. Incipient ferroelectricity in Al-doped HfO_2 thin films[J]. *Advanced Functional Materials*, 2012, 22(11): 2412-2417.
- [43] Schroeder U, Richter C, Park M H, et al. Lanthanum-doped hafnium oxide: a robust ferroelectric material[J]. *Inorganic Chemistry*, 2018, 57(5): 2752-2765.
- [44] Hong I P, He R, Nguyen T M H, et al. Low coercive field in quasi-epitaxial Al-doped HfO_2 films for energy-efficient ferroelectric memories[J]. *Journal of Materials Chemistry A*, 2025, 13(31): 25673-25682.
- [45] Chernikova A G, Kuzmichev D S, Negrov D V, et al. Ferroelectric properties of full plasma-enhanced ALD $\text{TiN/La:HfO}_2/\text{TiN}$ stacks[J]. *Applied Physics Letters*, 2016, 108(24): 242905.
- [46] Duhan P, Ali T, Khedgarkar P, et al. Endurance study of silicon-doped hafnium oxide (HSO) and zirconium-doped hafnium oxide (HZO)-based FeFET memory[J]. *IEEE Transactions on Electron Devices*, 2023, 70(11): 5645-5650.
- [47] Chatterjee K, Kim S, Karbasian G, et al. Self-aligned, gate last, FDSOI, ferroelectric gate memory device with 5.5-nm $\text{Hf}_{0.8}\text{Zr}_{0.2}\text{O}_2$, high endurance and breakdown recovery[J]. *IEEE Electron Device Letters*, 2017, 38(10): 1379-1382.
- [48] Ni Kai, Sharma P, Zhang Jianchi, et al. Critical role of interlayer in $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ ferroelectric FET nonvolatile memory performance[J]. *IEEE Transactions on Electron Devices*, 2018, 65(6): 2461-2469.
- [49] Zeng Binjian, Xiao Wenwu, Liao Jiajia, et al. Compatibility of HfN metal gate electrodes with $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ ferroelectric thin films for ferroelectric field-effect transistors[J]. *IEEE Electron Device Letters*, 2018, 39(10): 1508-1511.
- [50] Xiao Wenwu, Liu Chen, Peng Yue, et al. Performance improvement of $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ -based ferroelectric-field-effect transistors with ZrO_2 seed layers[J]. *IEEE Electron Device Letters*, 2019, 40(5): 714-717.
- [51] Chen K T, Chen H Y, Liao C Y, et al. Non-volatile ferroelectric FETs using 5-nm $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ with high data retention and read endurance for 1T memory applications[J]. *IEEE Electron Device Letters*, 2019, 40(3): 399-402.
- [52] Kisi E H, Howard C J, Hill R J. Crystal structure of orthorhombic zirconia in partially stabilized zirconia[J]. *Journal of the American Ceramic Society*, 1989, 72(9): 1757-1760.
- [53] Liu Shi, Hanrahan B M. Effects of growth orientations and epitaxial strains on phase stability of HfO_2 thin films[J].

- Physical Review Materials, 2019, 3(5): 054404.
- [54] Kim S J, Narayan D, Lee J G, et al. Large ferroelectric polarization of TiN/Hf_{0.5}Zr_{0.5}O₂/TiN capacitors due to stress-induced crystallization at low thermal budget[J]. *Applied Physics Letters*, 2017, 111(24): 242901.
- [55] Shiraishi T, Katayama K, Yokouchi T, et al. Impact of mechanical stress on ferroelectricity in (Hf_{0.5}Zr_{0.5})O₂ thin films[J]. *Applied Physics Letters*, 2016, 108(26): 262904.
- [56] Schenk T, Fancher C M, Park M H, et al. On the origin of the large remanent polarization in La:HfO₂[J]. *Advanced Electronic Materials*, 2019, 5(12): 1900303.
- [57] Xiao Wenwu, Liu Chen, Peng Yue, et al. Memory window and endurance improvement of Hf_{0.5}Zr_{0.5}O₂-based FeFETs with ZrO₂ seed layers characterized by fast voltage pulse measurements[J]. *Nanoscale Research Letters*, 2019, 14: 254.
- [58] Tan A J, Chatterjee K, Zhou Jiuren, et al. Experimental demonstration of a ferroelectric HfO₂-based content addressable memory cell[J]. *IEEE Electron Device Letters*, 2020, 41(2): 240-243.
- [59] Goh Y, Hwang J, Lee Y, et al. Ultra-thin Hf_{0.5}Zr_{0.5}O₂ thin-film-based ferroelectric tunnel junction via stress induced crystallization[J]. *Applied Physics Letters*, 2020, 117(24): 242901.
- [60] Choi S N, Moon S E, Yoon S M. Impact of oxide gate electrode for ferroelectric field-effect transistors with metal-ferroelectric-metal-insulator-semiconductor gate stack using undoped HfO₂ thin films prepared by atomic layer deposition[J]. *Nanotechnology*, 2021, 32(8): 085709.
- [61] Lee M H, Wei Y T, Chu K Y, et al. Steep slope and near non-hysteresis of FETs with antiferroelectric-like HfZrO for low-power electronics[J]. *IEEE Electron Device Letters*, 2015, 36(4): 294-296.
- [62] Cheng Chunhu, Chin A. Low-voltage steep turn-on pMOSFET using ferroelectric high-*k* gate dielectric[J]. *IEEE Electron Device Letters*, 2014, 35(2): 274-276.
- [63] Li K S, Chen P G, Lai T Y, et al. Sub-60mV-swing negative-capacitance FinFET without hysteresis[C]//2015 IEEE International Electron Devices Meeting. Washington: IEEE, 2015: 22.6. 1-22.6. 4.
- [64] Yeh M S, Lee Y J, Hung M F, et al. High-performance gate-all-around poly-Si thin-film transistors by microwave annealing with NH₃ plasma passivation[J]. *IEEE Transactions on Nanotechnology*, 2013, 12(4): 636-640.
- [65] Lee Y J, Chuang S S, Liu C I, et al. Full low temperature microwave processed Ge CMOS achieving diffusion-less junction and ultrathin 7.5 nm Ni mono-germanide[C]//2012 International Electron Devices Meeting. San Francisco: IEEE, 2012: 23.3. 1-23.3. 4.
- [66] Chen Y H, Su C J, Hu C, et al. Effects of annealing on ferroelectric hafnium-zirconium-oxide-based transistor technology[J]. *IEEE Electron Device Letters*, 2019, 40(3): 467-470.
- [67] Ku B, Choi S, Song Y, et al. Fast thermal quenching on the ferroelectric Al:HfO₂ thin film with record polarization density and flash memory application[C]//2020 IEEE Symposium on VLSI Technology. Honolulu: IEEE, 2020: 1-2.
- [68] Qi Y, Singh S, Lau C, et al. Stabilization of competing ferroelectric phases of HfO₂ under epitaxial strain[J]. *Physical Review Letters*, 2020, 125(25): 257603.
- [69] Ma T P, Han J P. Why is nonvolatile ferroelectric memory field-effect transistor still elusive?[J]. *IEEE Electron Device Letters*, 2002, 23(7): 386-388.
- [70] Zhao D, Lenz T, Gelinck G H, et al. Depolarization of multidomain ferroelectric materials[J]. *Nature Communications*, 2019, 10: 2547.
- [71] Muller J, Boscke T S, Schroder U, et al. Nanosecond polarization switching and long retention in a novel MFIS-FET based on ferroelectric HfO₂[J]. *IEEE Electron Device Letters*, 2012, 33(2): 185-187.
- [72] Pešić M, Fengler F P G, Larcher L, et al. Physical mechanisms behind the field-cycling behavior of HfO₂-based ferroelectric capacitors[J]. *Advanced Functional Materials*, 2016, 26(25): 4601-4612.
- [73] Fengler F P G, Hoffmann M, Slesazek S, et al. On the relationship between field cycling and imprint in ferroelectric Hf_{0.5}Zr_{0.5}O₂[J]. *Journal of Applied Physics*, 2018, 123(20): 204101.
- [74] Gong N, Ma T P. A study of endurance issues in HfO₂-based ferroelectric field effect transistors: charge trapping and trap generation[J]. *IEEE Electron Device Letters*, 2018, 39(1): 15-18.
- [75] Ma T P, Gong N. Retention and endurance of FeFET memory cells[C]//2019 IEEE 11th International Memory Workshop. Monterey: IEEE, 2019: 1-4.
- [76] Wang Dao, Zhang Yan, Wang Jiali, et al. Enhanced ferroelectric polarization with less wake-up effect and improved endurance of Hf_{0.5}Zr_{0.5}O₂ thin films by implementing W electrode[J]. *Journal of Materials Science & Technology*, 2022, 104: 1-7.

- [77] Chen K Y, Chen P H, Wu Y H. Excellent reliability of ferroelectric HfZrO_x free from wake-up and fatigue effects by NH₃ plasma treatment[C]//2017 Symposium on VLSI Circuits. Kyoto: IEEE, 2017: T84-T85.
- [78] Yurchuk E, Müller J, Müller S, et al. Charge-trapping phenomena in HfO₂-based FeFET-type nonvolatile memories[J]. *IEEE Transactions on Electron Devices*, 2016, 63(9): 3501-3507.
- [79] Tan A J, Liao Y H, Wang L C, et al. Ferroelectric HfO₂ memory transistors with high-*k* interfacial layer and write endurance exceeding 1010 cycles[J]. *IEEE Electron Device Letters*, 2021, 42(7): 994-997.
- [80] Yurchuk E, Mueller S, Martin D, et al. Origin of the endurance degradation in the novel HfO₂-based 1T ferroelectric non-volatile memories[C]//2014 IEEE International Reliability Physics Symposium. Waikoloa: IEEE, 2014: 2E. 5.1-2E. 5.5.
- [81] Chernikova A G, Kozodaev M G, Negrov D V, et al. Improved ferroelectric switching endurance of La-doped Hf_{0.5}Zr_{0.5}O₂ thin films[J]. *ACS Applied Materials & Interfaces*, 2018, 10(3): 2701-2708.
- [82] Chan C Y, Chen K Y, Peng H K, et al. FeFET memory featuring large memory window and robust endurance of long-pulse cycling by interface engineering using high-*k* AION[C]//2020 IEEE Symposium on VLSI Technology. Honolulu: IEEE, 2020: 1-2.
- [83] Park J Y, Moon D I, Lee G B, et al. Curing of aged gate dielectric by the self-heating effect in MOSFETs[J]. *IEEE Transactions on Electron Devices*, 2020, 67(3): 777-788.
- [84] Muller J, Polakowski P, Muller S, et al. High endurance strategies for hafnium oxide based ferroelectric field effect transistor[C]//2016 16th Non-Volatile Memory Technology Symposium. Pittsburgh: IEEE, 2016: 1-7.
- [85] Mulaosmanovic H, Breyer E T, Mikolajick T, et al. Recovery of cycling endurance failure in ferroelectric FETs by self-heating[J]. *IEEE Electron Device Letters*, 2019, 40(2): 216-219.
- [86] Toprasertpong K, Tahara K, Fukui T, et al. Improved ferroelectric/semiconductor interface properties in Hf_{0.5}Zr_{0.5}O₂ ferroelectric FETs by low-temperature annealing[J]. *IEEE Electron Device Letters*, 2020, 41(10): 1588-1591.
- [87] Kuk S H, Han S M, Kim B H, et al. Comprehensive understanding of the HZO-based n/pFeFET operation and device performance enhancement strategy[C]//2021 IEEE International Electron Devices Meeting. San Francisco: IEEE, 2021: 33.6. 1-33.6. 4.
- [88] Kuk S H, Han S M, Kim B H, et al. An investigation of HZO-based n/p-FeFET operation mechanism and improved device performance by the electron detrapping mode[J]. *IEEE Transactions on Electron Devices*, 2022, 69(4): 2080-2087.
- [89] Peng H K, Chan C Y, Chen K Y, et al. Enabling large memory window and high reliability for FeFET memory by integrating AION interfacial layer[J]. *Applied Physics Letters*, 2021, 118(10): 103503.
- [90] Lomenzo P D, Takmeel Q, Fancher C M, et al. Ferroelectric Si-doped HfO₂ device properties on highly doped germanium[J]. *IEEE Electron Device Letters*, 2015, 36(8): 766-768.
- [91] Chen K Y, Huang Y H, Kao R W, et al. Enhanced reliability of ferroelectric HfZrO_x on semiconductor by using epitaxial SiGe as substrate[J]. *IEEE Transactions on Electron Devices*, 2019, 66(8): 3636-3639.
- [92] Kim B H, Kuk S H, Kim S K, et al. Effect of scandium insertion into the gate-stack of ferroelectric field-effect transistors[J]. *IEEE Transactions on Electron Devices*, 2023, 70(4): 1996-2000.
- [93] Mo Fei, Tagawa Y, Jin Chengji, et al. Low-voltage operating ferroelectric FET with ultrathin IGZO channel for high-density memory application[J]. *IEEE Journal of the Electron Devices Society*, 2020, 8: 717-723.
- [94] Liu Yinchu, Zhang Hao, Zhou Xinlong, et al. High performance FeFET with α -IGZO channel enabled by atomic-layer-deposited HfO₂ interfacial layer[C]//2024 IEEE 17th International Conference on Solid-State & Integrated Circuit Technology. Zhuhai: IEEE, 2024: 1-3.
- [95] Lee M, Kim J H, Le D N, et al. BEOL compatible ultra-low operating voltage (0.5 V) and preconfigured switching polarization states in effective 3 nm ferroelectric HZO capacitors[C]//2024 IEEE Symposium on VLSI Technology and Circuits. Honolulu: IEEE, 2024: 1-2.
- [96] Asuka T, Ouchi J, Fujisawa H, et al. Crystallization of (Hf, Zr)O₂ thin films via non-heating process and their application to ferroelectric-gate thin film transistors[J]. *Japanese Journal of Applied Physics*, 2023, 62: SM1019.
- [97] Zhou Yuejia, Shao Hanyong, Zhu Runteng, et al. Hybrid-FE-layer FeFET with high linearity and endurance toward on-chip CIM by array demonstration[J]. *IEEE Electron Device Letters*, 2024, 45(2): 276-279.