研究论文

热力载荷下典型缺陷对硅通孔性能影响研究

何　静，陈　龙*

（中国电子科技集团公司第五十八研究所，无锡 214000）

摘要：在先进封装中，硅通孔（TSV）结构在振动与温度等热力载荷下面临显著的可靠性挑战。本文针对TSV中的典型缺陷——空洞与裂纹，构建了空洞或裂纹占比分别为20%、40%和60%的三维有限元模型，系统研究其在随机振动与温度循环载荷下的力学响应。模拟结果表明：在随机振动载荷下，空洞缺陷模型风险点处的等效应力随空洞比率增加而显著上升，而裂纹缺陷模型的应力响应与裂纹比率之间未呈现明确规律；在温度循环载荷下，空洞与裂纹缺陷均导致应力水平随缺陷比率升高而增大，且TSV中的空洞缺陷持续扩展，其扩展程度与接触阻抗的变化呈正相关。进一步开展电阻、电感、电容参数（RLC）提取发现，空洞缺陷的扩展会显著抬升TSV结构的等效电阻，从而恶化其电学性能。试验结果表明，随着温度循环次数的增加，TSV中的空洞缺陷不断增大，与接触阻抗的变化呈正相关。

关键词：硅通孔；缺陷；数值分析；试验表征

中图分类号：TN406　　**文献标志码：**A

DOI: 10.3724/jfmd.2603037　　CSTR: 32180.14.jfmd.2603037

Effects of typical defects on TSV reliability under thermomechanical loading

HE Jing, CHEN Long*

(China Electronics Technology Group Corporation No.58 Research Institute, Wuxi 214000, China)

Abstract: In advanced packaging, silicon through-silicon vias (TSVs) face significant reliability challenges under mechanical vibration and thermal stress loads. This study constructs three-dimensional finite element models incorporating gradient void and crack defect ratios of 20%, 40%, and 60% to systematically investigate the mechanical response of TSVs under random vibration and thermal cycling conditions. Model validation is performed through thermal cycling experiments. Results demonstrate that under random vibration loading, the equivalent stress at critical locations in void-defect models increases significantly with higher void ratios, whereas crack-defect models exhibit no clear correlation between crack ratio and stress response. Under thermal cycling, both void and crack defects induce elevated stress levels that scale proportionally with defect ratio; furthermore, void expansion progressively intensifies and

收稿日期：2026−03−16；　**修订日期：**2026−04−28

基金项目：国家自然科学基金联合基金重点支持项目（项目代号：U23B2042）

作者简介：何　静（1994—），女，工程师，研究方向为集成电路测试与可靠性（E-mail: 2689053951@qq.com）

通信作者：陈　龙（1993—），男，高级工程师，研究方向为集成电路测试与可靠性（E-mail: chenlong1299@163.com）

shows a positive correlation with contact impedance variation. Extraction of RLC parameters reveals that void defect extension substantially increases the equivalent resistance of the TSV structure, thereby degrading its electrical performance. Experimental results confirm that as the number of temperature cycles increases, void defects in TSVs grow larger, exhibiting a positive correlation with changes in contact resistance.

Key words: TSV; defect; simulation; experimental characterization

0 引言

随着“后摩尔”时代的到来，半导体工艺制程持续微缩，但封装尺寸受物理极限制约，难以进一步推动集成电路的微型化发展，因此具有更高封装集成度的 2.5D/3D 封装技术应运而生。2.5D/3D 封装均在传统二维平面封装 *x*-*y* 平台的基础上，借助硅通孔（through-silicon via, TSV）技术在 *z* 方向实现芯片互连或堆叠。其中，2.5D 封装通过硅通孔将多个芯片经由硅转接板（interposer）互连，芯片堆叠于含硅通孔的硅转接板顶部；而 3D 封装则将具备硅通孔结构的芯片直接在 *z* 方向堆叠互连，将平面组装拓展为具有纵向高度的立体组装，从而实现更高的集成度。由此可见，硅通孔作为实现芯片间物理连接与电连接的关键结构，其制备工艺及服役过程中产生的缺陷直接决定了 2.5D/3D 封装的可靠性，已成为行业研究热点[1-4]。

硅通孔结构作为一项新兴互连技术，当前仍面临诸多挑战，其可靠性尚未得到充分研究与保障[5]。在电镀填充过程中（图 1），通孔开口处的种子层较底部更厚、导电性更强，加之大深宽比盲孔中电镀液难以有效渗透至孔底，离子交换受限，难以实现均匀填充，导致镀铜易在孔口优先沉积并封闭孔口，从而形成空洞、裂纹等缺陷[6-7]。Jung 等[8] 基于菊花链结构对硅通孔内部结构缺陷进行电学参数提取，利用 RCL 参数进行表征，并结合 S 参数加以验证。马瑞等[9] 基于电热耦合分析，系统对比了不同电流密度、环境温度及硅通孔填充材料等因素对硅通孔互连结构电迁移失效行为的影响。韩博宇等[10] 通过测试硅通孔绑定前后的电阻、电容和电流等电学参数，获取了不同缺陷状态下电学参数的变化规律，为工艺设计参数的优化提供数据支撑。

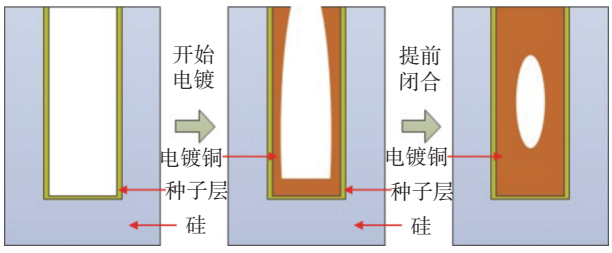


图 1 电镀填充过程中孔口提前闭合示意图

Fig. 1 Schematic diagram of premature pore closure during the electroplating filling process

在集成电路的实际服役过程中，硅通孔互连结构中的缺陷会对信号传输、服役可靠性等电路性能造成不可预知的影响[11]。本文通过数值模拟，针对图 2 所示的不同梯度等级的空洞与裂纹缺陷，研究硅通孔结构在应力载荷下的应力-应变响应，并利用电学参数对其进行表征。

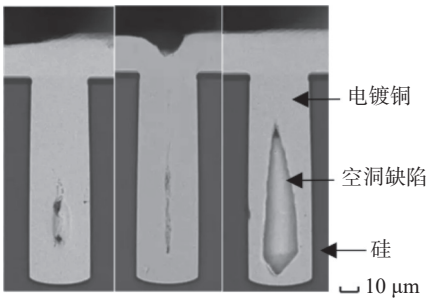


图 2 不同比例空洞缺陷

Fig. 2 Void defects at various ratios

1 典型缺陷结构

在实际生产过程中，尽管硅通孔缺陷的类型大致相似，但其具体结构形式多样。图 2 为某 3D 封装集成电路中含不同空洞比例的硅通孔结构的 SEM 图像。其中，空洞比率最小的硅通孔结构中，空洞体积较小，依据实际生产经验，其对电路性能的影响相对较小；然而，随着空洞比率的增大，其对信号传输及服役可靠性的影响尚不明确。

因此，针对不同类型缺陷开展研究具有必要性。基于上述原因，本文选取空洞与裂纹两类缺陷，依据缺陷比率梯度，确定如表 1 所示的硅通孔缺陷结构为研究对象。其中，空洞类缺陷的空洞体积占比分别为 0%、20%、40%、60%；裂纹类缺陷的裂纹

横向宽度占比分别为 0%、20%、40%、60%。

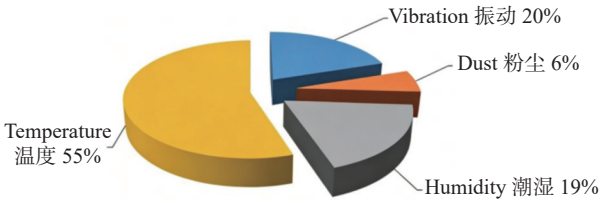
表 1　研究对象

Table 1　Research subjects

缺陷类型	比例要求
空洞	0%, 20%, 40%, 60%
裂纹	0%, 20%, 40%, 60%

2　应力载荷分析

图 3[12] 展示了美国空军关于电子设备失效原因的调查结果。从图中可见, 在集成电路的实际服役过程中, 最典型的环境应力为温度与振动。电子行业普遍遵循所谓的“10 ℃ 法则”, 即环境温度每升高 10 ℃, 失效率通常增加一倍。基于上述分析, 本文将模拟温度与振动应力条件, 开展相关研究。



(Source: US air force avionics integrity program)

图 3　电子设备失效原因[12]

Fig. 3　Failure causes of electronic equipment[12]

2.1　有限元模型建立

基于图 4 所示的某 3D 封装电路中的硅通孔结构, 依据表 1 所确定的研究对象, 建立相应的有限元模型(图 5)。

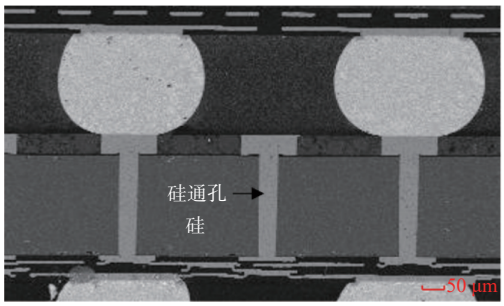


图 4　某 3D 封装电路 TSV 结构

Fig. 4　TSV structure of a certain 3D packaging circuit

本文模型研究的重点在于铜孔中的缺陷, 而种子层与阻挡层对研究目标影响较小, 因此在有限元模型构建过程中忽略其影响, 建立了 Cu-SiO_2-Si 界面的模型。有限元模型的尺寸参数如表 2 所示。

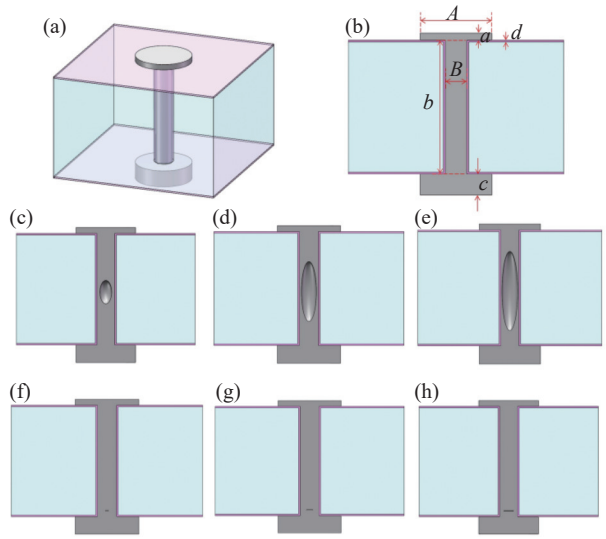


图 5　缺陷模型(a)无缺陷模型及其(b)尺寸参数; (c)20% 空洞模型; (d)40% 空洞模型; (e)60% 空洞模型; (f)20% 裂纹模型; (g)40% 裂纹模型; (h)60% 裂纹模型

Fig. 5　Defect model (a) defect-free model and its (b) geometric parameters; (c) 20% void model; (d) 40 % void model; (e) 60% void model; (f) 20% crack model; (g) 40% crack model; (h) 60% crack model

表 2　TSV 结构尺寸参数

Table 2　Dimensional parameters of the TSV model

参数	*A*	*B*	*a*	*b*	*c*	*d*
取值/μm	100	30	10	200	30	2.5

2.2　邻孔相关性验证

为验证相邻通孔在应力载荷下是否存在相互影响, 基于图 5(b)所示的无缺陷模型, 构建了 3×3 矩阵式 TSV 结构的有限元模型, 确保尺寸参数与材料参数一致, 边界条件设定为 125 ℃ 环境温度。

结果如图 6 所示。根据工程经验, 通常位于斜线外侧的结构承受较大应力, Jiang 等[13] 的研究亦表明, 随着服役时间的增加, TSV-Cu 在铜柱与衬垫连接处会出现应力集中。因此, 选择沿斜边切断以观察截面云图。结果表明, 3 个铜柱连接点处的应

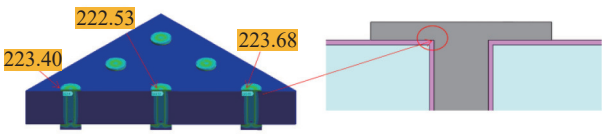


图 6　3×3 矩阵式 TSV 结构有限元模型(单位: MPa)

Fig. 6　Finite-element model of the 3×3 matrix TSV (unit: MPa)

力值分别为 223.4 MPa、222.53 MPa 和 223.68 MPa，而铜柱之间的应力值为 0，表明铜柱间的 Si 介质未发生应力传递，相邻铜柱之间无应力传导。由此可判断，邻近 TSV 孔之间无显著相互影响，直接佐证了对单个 TSV 孔进行独立分析的合理性。

2.3 随机振动

随机振动所施加的边界条件如表 3 所示。

表 3 随机振动边界条件

Table 3 Boundary conditions for random vibration

载荷类型	边界条件	截止条件
随机振动	GJB 548C—2021[14] 方法2026.1 试验条件B	器件在x、y、z每个方向上受到15 min以上的随机振动

图 7 为随机振动仿真结果。本文主要研究缺陷对 TSV 结构的影响趋势，因此重点关注缺陷位置的响应状态。

表 4 的仿真结果表明，在空洞缺陷模型中，应力集中主要出现在空洞的下端；随着空洞比率的增大，等效应力呈上升趋势。而在裂纹模型中，等效应力与裂纹比率无明显相关性。

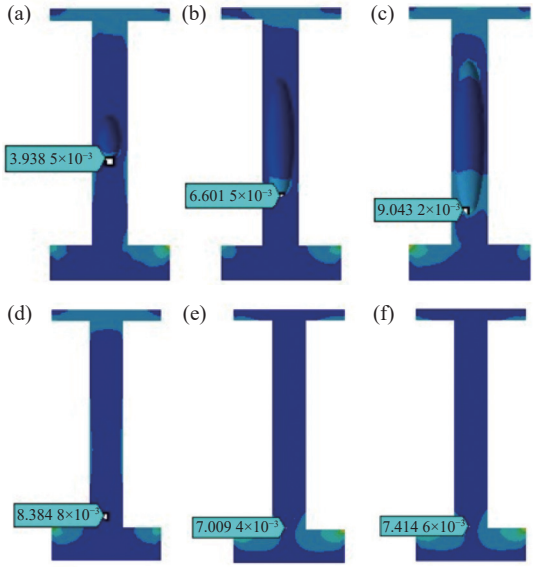


图 7 随机振动仿真应力云图(a)20% 空洞；(b)40% 空洞；(c)60% 空洞；(d)20% 裂纹；(e)40% 裂纹；(f)60% 裂纹

Fig. 7 Random-vibration simulation stress contour (a) 20% void; (b) 40% void; (c) 60% void; (d) 20% crack; (e) 40% crack; (f) 60% crack

表 4 随机振动仿真结果

Table 4 Random-vibration simulation results

模型	20%空洞	40%空洞	60%空洞	20%裂纹	40%裂纹	60%裂纹
等效应力/(10^{-3} MPa)	3.9	6.6	9.0	8.3	7.0	7.4

2.4 温度循环

温度循环所施加的边界条件参照 GJB 548C—2021[14] 方法 1010 条件 B，如图 8 所示。

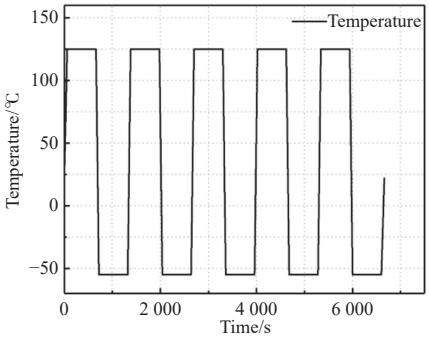


图 8 温度循环边界条件

Fig. 8 Boundary conditions for thermal cycling

2.4.1 温度循环应力分析

提取第 5 个循环的响应状态参数进行分析。图 9 为各模型在高温阶段与低温阶段的等效应力云图。

由图 9 可见，所有模型在上下衬垫的拐角处均存在一定程度的应力集中，这是由 TSV 自身结构所致，此处不予讨论。而在空洞与裂纹等缺陷位置，均表现出明显的应力集中现象。分别提取该循环中高温与低温阶段起始及终止时刻缺陷位置的应力数据，如表 5 所示。

以空洞率为 20% 的模型为例，提取第 5 个温度循环的响应状态参数进行分析。在高温阶段，TSV 内部应力相对较小：当温度刚升至 125 ℃ 时，缺陷处应力值为 16.3 MPa；保温 10 min 后，应力值降至 5.6 MPa。然而，当温度下降至 55 ℃ 时，温差变化导致 TSV 内部应力急剧增大，应力值升至 87.1 MPa；保温 10 min 后，应力值仍维持在 74.8 MPa。可见，

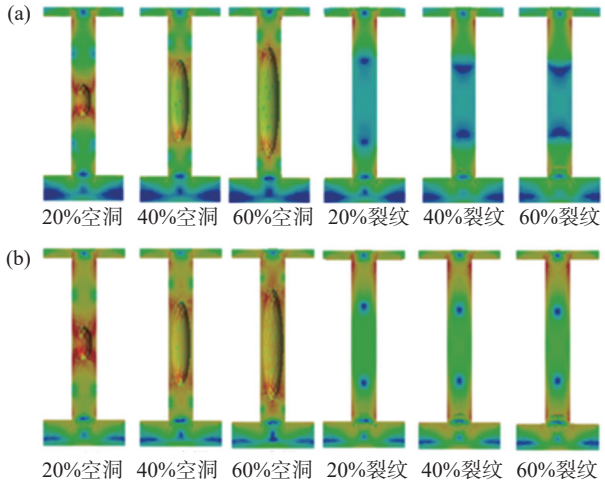


图 9　(a)高温及(b)低温阶段温度循环应力分布

Fig. 9 Temperature stress distribution during (a) the high-temperature phase and (b) the low-temperature phase

表 5　温度循环第 5 次循环的仿真结果

Table 5 Simulation results for the 5th TC　　MPa

模型	20%空洞	40%空洞	60%空洞	20%裂纹	40%裂纹	60%裂纹
高温开始	16.3	16.5	16.8	9.6	11.9	14.3
高温结束	5.6	6.3	7.1	4.2	5.3	6.8
低温开始	87.1	89.3	95.5	54	59.8	65.9
低温结束	74.8	75.4	81.4	42	53.9	61.3

在温度循环的应力载荷作用下, TSV 结构在低温环境下的受力更为显著, 而恒温保温过程则促使应力缓慢释放。在温度交变过程中, TSV 内部出现大范围的应力幅值波动, 对其结构可靠性产生较大影响。横向对比表明, 随着缺陷比率的提高, 缺陷位置的应力值均呈上升趋势。

2.4.2　缺陷位置应变分析

上述分析表明, 缺陷位置相较于其他区域存在应力异常增大的现象, 因此进一步提取该位置风险点的塑性应变数据, 结果见图 10。

结果表明, 随着时间推移, 风险点的塑性应变持续增大; 横向对比显示, 随着缺陷比率的提高, 塑性应变值亦不断增大, 导致开裂风险显著上升, 进而使原有缺陷进一步扩展, 最终引发失效。

3　RLC 参数提取

基于仿真平台提取的 RLC 参数如表 6 所示。

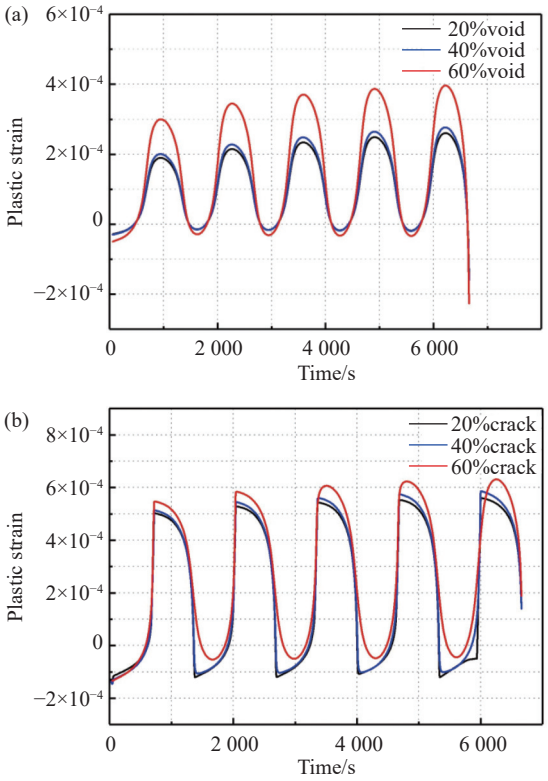


图 10　(a)空洞及(b)裂纹风险点应变

Fig. 10 Strain at the critical site for (a) void defects and (b) crack defects

在空洞模型中, 随着空洞比率的增大, 电容 C 和电感 L 略有减小, 而电阻 R 则显著增大: 20% 空洞模型相比无缺陷模型, R 增大 9.6%; 40% 空洞模型相比无缺陷模型, R 增大 41.8%; 60% 空洞模型相比无缺陷模型, R 增大 83.7%。在裂纹模型中, 电容 C 和电感 L 基本保持不变, 电阻 R 仅有微小增加。

表 6　RLC 参数提取值

Table 6 Extracted RLC parameters

模型	C/pF	R/mohm	L/nH
无缺陷	0.015 18	5.074	0.123
20%空洞	0.015 14	5.563	0.122
40%空洞	0.015 13	7.195	0.120
60%空洞	0.015 13	9.321	0.119
20%裂纹	0.015 17	5.079	0.122
40%裂纹	0.015 17	5.081	0.122
60%裂纹	0.015 17	5.083	0.122

结果表明, 随着空洞缺陷比率的增加, TSV 结

构的电阻显著增大。

4 环境试验与表征

4.1 试验设计

依据表 7 所示方案，开展温度循环试验以进行验证。

表 7 温度循环试验方案

Table 7 Temperature cycling test protocol

序号	项目	条件	样品编号
1	电测试	接触阻抗	#1～#3
	X射线	观察TSV	#1～#3
2	温度循环	方法1010.1[14], 300 cycles	#1～#3
	电测试	硅通孔接触阻抗	#1～#3
	X射线	观察TSV结构	#1～#3
	SEM	观察TSV截面	#1
3	温度循环	方法1010.1[14], 600 cycles	#2～#3
	电测试	硅通孔接触阻抗	#2～#3
	X射线	观察TSV结构	#2～#3
	SEM	观察TSV截面	#2
4	温度循环	方法1010.1[14], 900 cycles	#3
	电测试	硅通孔接触阻抗	#3
	X射线	观察TSV结构	#3
	SEM	观察TSV截面	#3

4.2 样品制备

参照图 11 所示流程制备含有空洞缺陷的样品。制备过程中的样品如图 12 所示。

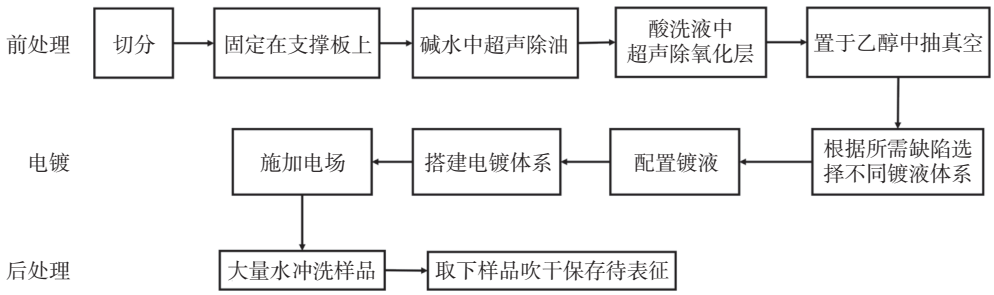


图 11 样品制备流程

Fig. 11 Sample preparation process

4.3 试验结果

4.3.1 电测试

依据表 7 所设计的试验方案，分别对含 20%、40% 和 60% 空洞的样品在温度循环后进行接触阻抗测试，测试结果如图 13 所示。

结果表明，随着温度循环次数的增加，3 类样品的接触阻抗均呈单调上升趋势。

4.3.2 X 射线测试

依据表 7 所设计的试验方案，分别对空洞率为 20%、40% 和 60% 的样品进行温度循环后的 X 射线测试，测试结果如图 14 所示。

结果表明，随着温度循环次数的增加，3 类样品的缺陷持续扩展。

4.3.3 SEM 测试

依据表 7 所设计的试验方案，分别对空洞率为 20%、40% 和 60% 的样品进行温度循环后的 SEM 测试，结果如图 15 所示。

结果表明，随着温度循环次数的增加，3 类样品的缺陷持续扩展。

5 结论

通过调研可知，当前 TSV 结构的典型缺陷形式为空洞与裂纹缺陷。本文建立了主流 TSV 结构的仿真模型，并定向设置了具有递增梯度的缺陷结构。通过对各模型在随机振动和温度循环两种应力载荷下的分析，识别出应力风险点。进一步研究风险点的应力-应变状态发现：(1)在随机振动载荷下，空洞缺陷模型中风险点的等效应力随空洞比率的提高而增大，而裂纹缺陷模型中风险点的等效应力与裂纹比率无明显关联规律；(2)在温度循环载

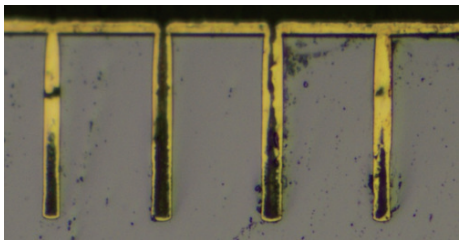


图 12　样品示意图

Fig. 12　Sample diagram

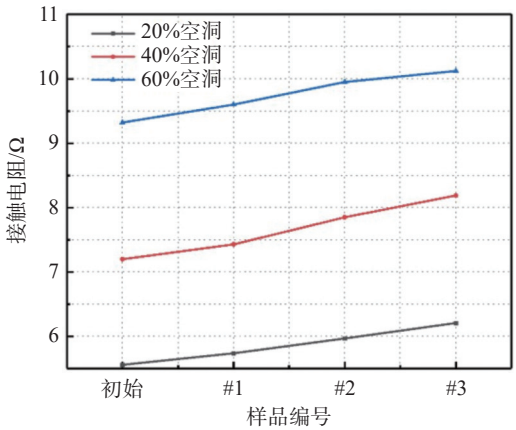


图 13　电测试结果

Fig. 13　Electrical test result

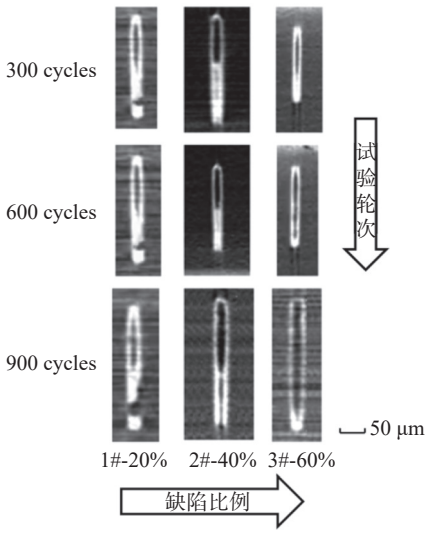


图 14　X 射线测试结果

Fig. 14　X-ray test result

荷下, 随着空洞和裂纹缺陷比率的提高, 应力值相应增大, 且等效塑性应变在温度循环过程中呈现累积增加的趋势。此外, RLC 参数提取结果表明, 随着空洞缺陷的增大, TSV 结构的电阻显著增加。

设计了温度循环试验方案, 制备了含定向空洞缺陷的试验样品, 并通过电测试、X 射线测试及 SEM 测试进行表征分析。结果表明: 随着温度循环次数的增加, TSV 的接触阻抗在宏观上持续增大; X 射线与 SEM 的表征结果进一步显示, TSV 中的空洞缺陷不断扩展, 且其变化趋势与接触阻抗呈正相关。

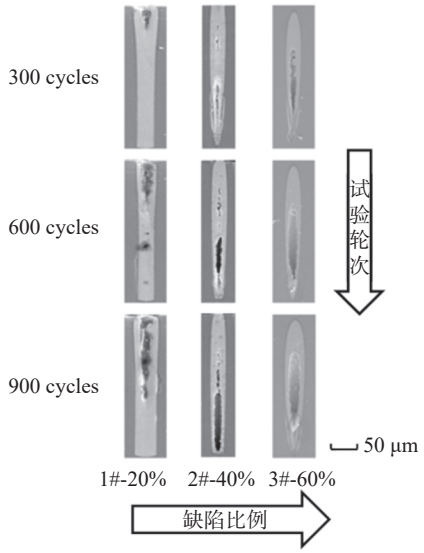


图 15　SEM 测试结果

Fig. 15　SEM test result

参考文献:

[1] Salah K. More than Moore and beyond CMOS: new interconnects schemes and new circuits architectures[C]//2017 IEEE 19th Electronics Packaging Technology Conference. Singapore: IEEE, 2017: 1-6.

[2] Hwang G, Kalaiselvan R. Development of TSV electroplating process for via-last technology[C]//2017 IEEE 67th Electronic Components and Technology Conference. Orlando: IEEE, 2017: 67-72.

[3] Shen Wenwei, Chen Kuanneng. Three-dimensional integrated circuit (3D IC) key technology: through-silicon via (TSV)[J]. Nanoscale Research Letters, 2017, 12: 56.

[4] Jeong I H, Roh M H, Jung F, et al. Analysis of the electrical characteristics and structure of Cu-filled TSV with thermal shock test[J]. Electronic Materials Letters, 2014, 10(3): 649-653.

[5] 蒋闯, 于仙仙, 鲍正广. 高深宽比硅通孔 (TSV) 电镀铜填充工艺研究 [J]. 功能材料与器件学报, 2024, 30(4): 219-224.
Jiang Chuang, Yu Xianxian, Bao Zhengguang. High depth ratio through silicon Via(TSV)TSV copper platting process

study[J]. Journal of Functional Materials and Devices, 2024, 30(4): 219-224.

[6] 田苗, 栾振兴, 陈舒静, 等. 基于通孔双面分步填充的 TSV 制备方法 [J]. 半导体技术, 2022, 47(8): 636-641.
Tian Miao, Luan Zhenxing, Chen Shujing, et al. TSV fabrication method based on two-step double-sided filling of through vias[J]. Semiconductor Technology, 2022, 47(8): 636-641.

[7] Wang Zheyao. Microsystems using three-dimensional integration and TSV technologies: fundamentals and applications[J]. Microelectronic Engineering, 2019, 210: 35-64.

[8] Jung D H, Kim Y, Kim J J, et al. Through silicon via (TSV) defect modeling, measurement, and analysis[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2017, 7(1): 138-152.

[9] 马瑞, 苏梅英, 刘晓芳, 等. TSV 电迁移影响因素的有限元分析 [J]. 电子元件与材料, 2019, 38(2): 93-97.
Ma Rui, Su Meiying, Liu Xiaofang, et al. Finite element analysis of factors affecting TSV electromigration[J]. Electronic Components & Materials, 2019, 38(2): 93-97.

[10] 韩博宇, 王伟, 刘坤, 等. 基于 TSV 的 3D 堆叠集成电路测试 [J]. 合肥工业大学学报 (自然科学版), 2014, 37(4): 444-448.
Han Boyu, Wang Wei, Liu Kun, et al. TSVs-based 3D-SICs test[J]. Journal of Hefei University of Technology (Natural Science), 2014, 37(4): 444-448.

[11] 余佳, 马晓波. 半导体先进封装领域专利技术综述 [J]. 电子与封装, 2026, 26(1): 25-32.
Yu Jia, Ma Xiaobo. Review on patent technologies in the field of advanced semiconductor packaging[J]. Electronics & Packaging, 2026, 26(1): 25-32.

[12] Rosenstein L M. Avionics/electronics integrity program improves durability of advanced tactical air reconnaissance system[C]//IEEE Conference on Aerospace and Electronics. Dayton: IEEE, 1990: 1034-1038.

[13] Jiang Tengfei, Wu Chenglin, Spinella L, et al. Plasticity mechanism for copper extrusion in through-silicon vias for three-dimensional interconnects[J]. Applied Physics Letters, 2013, 103(21): 211906.

[14] GJB 548C—2021 微电子器件试验方法和程序 [S].
GJB 548C —2021 Test methods and procedures for microelectronic devices[S].