

研究论文

基于格点优化策略的化学机械研磨模型优化方法研究

张 瑜*, 刘建忠, 刘必秋

(上海华力集成电路制造有限公司, 上海 201314)

摘要: 在超大规模集成电路制造中, 化学机械研磨(chemical mechanical planarization, CMP)是实现多层金属互连结构全局平坦化的关键工艺, 其效果直接影响后续光刻焦深与电路性能。本文聚焦 CMP 模型的优化问题, 特别是其对具有特殊几何结构的热点图形的预测能力。通过对比原子力显微镜实测数据与模拟结果发现, 传统 20 μm 格点窗口无法准确解析由热点图形引起的侵蚀缺陷。为此, 提出采用 3 μm 小格点窗口并配合 1.5 μm 偏移策略, 可显著提高模型的预测精度。该优化方法不仅能有效识别版图中的潜在制造风险区域, 还可追踪多层金属结构中下层侵蚀对上层铜厚度的影响。研究表明, 格点窗口尺寸与位置的精细调整对 CMP 模型的准确性具有决定性作用, 从而提高芯片良率与制造可靠性提供重要支持。

关键词: 化学机械研磨; 侵蚀缺陷; 格点窗口; 可制造性设计

中图分类号: TN04; TN47

文献标志码: A

DOI: 10.3724/jfmd.2509066

CSTR: 32180.14.jfmd.2509066

Studies on optimization method of chemical mechanical planarization models using grid window refinement strategies

ZHANG Yu*, LIU Jianzhong, LIU Biqu

(Shanghai Huali Integrated Circuit Manufacturing Co., Ltd., Shanghai 201314, China)

Abstract: In very large-scale integrated (VLSI) circuit manufacturing, chemical mechanical planarization (CMP) is essential for achieving global surface flatness across multilayer metal interconnects, significantly influencing lithographic precision and electrical performance. This study focuses on the optimization of CMP modeling, particularly for the accurate prediction of hotspot patterns with unique geometries. Experimental comparisons with atomic force microscopy (AFM) measurements indicate that conventional 20 μm grid windows are inadequate for capturing localized erosion defects. A refined strategy employing 3 μm grid windows with a 1.5 μm offset is introduced, markedly enhancing prediction accuracy. This method not only identifies process-sensitive regions within the layout but also facilitates the tracking of erosion-induced variations in metal thickness across higher metal layers. The findings underscore the critical role of grid resolution and positioning in CMP modeling and offer a reliable approach to improving chip yield and manufacturing reliability.

收稿日期: 2025-09-11; 修订日期: 2025-11-17

通信作者: 张 瑜 (1978—), 男, 上海华力集成电路制造有限公司副总裁, 研究方向为集成电路技术 (E-mail: zhangyu@hlmc.cn)

Key words: CMP; erosion defect; grid window; design for manufacturability

0 引言

在集成电路制造中,通过交替沉积与图形化金属层和介电层,可在硅片上构建多层互连结构。相邻金属层由介电层隔离,并通过金属化通孔实现垂直导通。这种分层互连结构是实现高布线密度与复杂功能的核心基础^[1-2]。为保障多层互连工艺中光刻层的焦深(depth of focus, DOF),须尽可能降低晶圆表面的高度起伏。因此,通常采用化学机械研磨(chemical mechanical planarization, CMP)对已完成层的整体表面进行平坦化处理,使金属线表面与其间的介质层表面处于同一高度,从而为下一层的沉积与光刻提供平坦的基底^[3-5]。CMP是超大规模集成电路制造中实现全局平坦化的关键工艺。在这一过程中,通过抛光液的化学反应与抛光垫/磨粒机械作用的协同配合,可达到去除表面凸起并减小形貌起伏的目的^[6-8]。

在实际制造中,晶圆表面的最终形貌与版图的几何特征(如图形密度、线宽、间距等)呈显著相关性。由于CMP的材料去除率具有图形依赖性,不同区域的去除量并不一致。这主要源于抛光液配方与工艺参数所决定的金属/介质去除率与选择性,以及抛光垫弹性导致的局部接触压力与流场分布不均。图1展示了后段Cu CMP工艺后,芯片上3 mm²静态随机存储器(static random access memory, SRAM)区域的表面形貌。可以看出,图形密集的SRAM电路区相对高度较高,而图形密度较低的外围电路区域相对高度则较低。这直观地反映了CMP后因图形密度不同而导致的表面形貌差异。

可制造性技术是在产品设计与开发阶段,通过版图设计优化、制造工艺规划及生产流程改进等方法,实现高效、低成本、高质量制造的技术体系。化学机械研磨工艺模型是该体系中的关键工具之一^[9-11]。CMP模型能够通过量化分析芯片版图的几何特征参数,精准预测CMP后芯片表面的形貌,并识别可能引发缺陷的设计热点和工艺敏感区域,从而为实时优化工艺参数提供依据。这有助于工程师在流片前调整设计规划或工艺条件,有效提升集成电路的生产良率。

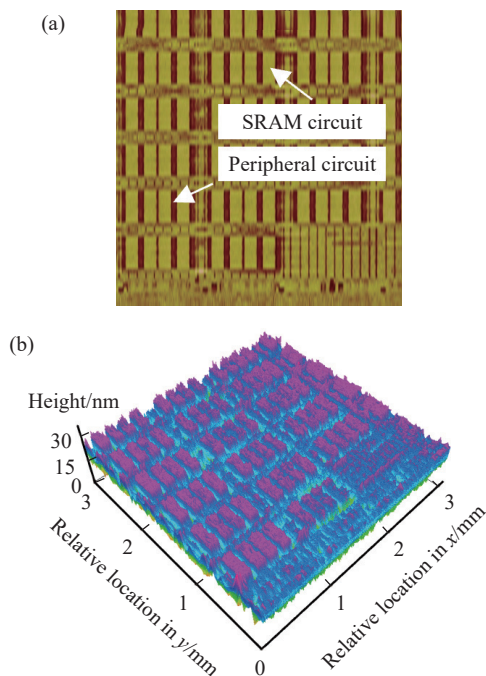


图1 后段Cu CMP工艺后,芯片上3 mm² SRAM区域的表面形貌。(a)量测区域示意图;(b)表面形貌高度图

Fig. 1 Surface topography of a 3 mm² SRAM area on the chip following the back-end Cu CMP process. (a) Schematic diagram of the measurement field; (b) height map of the surface topography

在构建CMP模型时,需通过划分格点窗口(grid window, GW)来提取每个单元内测试版图结构的几何特征参数,并建立这些参数与CMP后表面形貌之间的映射关系。在后续版图模拟阶段,CMP模型通过GW逐单元提取版图几何信息并完成特征匹配,从而实现对CMP工艺效果的准确预测与模拟。针对一般版图结构,考虑到CMP工艺的长程效应,通常采用远大于最小线宽的大尺寸GW进行建模,以有效模拟表面形貌。然而,对于包含特殊几何结构的热点图形,其长程效应显著减弱。若仍沿用传统的大格点窗口提取信息,热点区域的特殊几何特征会被周围图形“平均化”,导致模型无法捕捉和预警由特殊结构引发的表面形貌凹陷问题。

本文旨在探究一种能够精准解析特殊几何结构的建模方法,并将其应用于CMP模型的优化。这对准确预测电路连接缺陷、及时调整工艺参数、有效保障电路电学性能以及提升产品良率具有重要意义。

1 表面形貌缺陷及 CMP 模型建立

1.1 表面形貌缺陷及其影响

侵蚀是评价芯片表面形貌缺陷的常见指标, 定义为介质层厚度与金属层厚度之差, 如图 2(a)所示。侵蚀可分为微观区域的微侵蚀 (micro-erosion) 和较大范围的长程侵蚀 (long-range erosion)。图 2(b)展示了后段金属 Cu 互连工艺的透射电子显微镜 (transmission electron microscopy, TEM) 图像, 在其中白色箭头所指区域可观察到明显的微侵蚀现象。长程侵蚀通常需借助特殊量测手段才能识别, 例如大视场 TEM 或原子力显微镜 (atomic force microscopy, AFM) 扫描。由于缺乏高效的表征方式, 一旦发生长程侵蚀, 产品将会受到显著影响。在实际生产中, 曾出现因侵蚀行为控制不当, 在 Cu CMP 位点引发电性漂移的案例。

方块电阻 (R_s) 是衡量铜互连线电阻特性的关键参数, 较低的 R_s 有助于提高电流传输效率并减少热量生成, 其表达式如式(1)所示:

$$R_s = \frac{\rho}{t} \quad (1)$$

式中: ρ 为材料电阻率, $\Omega \cdot m$; t 为铜互连线厚度, m 。由此可见, 铜线的厚度直接影响着 R_s , 且直接由

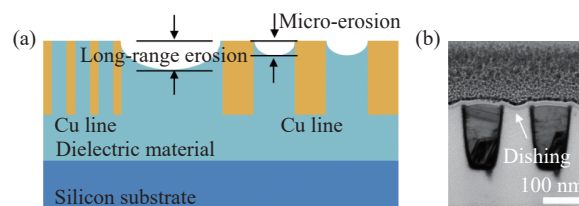


图 2 后段 Cu CMP 后, 硅片表面微观形貌。(a) 表面形貌缺陷定义; (b) 后段金属 Cu 互连工艺的 TEM 图像

Fig. 2 Microscopic morphology of the silicon wafer surface after Cu CMP. (a) Definition of surface topography defect; (b) TEM image of the back-end Cu process

CMP 工艺决定。

在集成电路制造过程中, 通常采用光学关键尺寸 (optical critical dimension, OCD) 量测技术对 CMP 后的铜线厚度进行监测^[12]。图 3(a)展示了该技术所使用的模型。需注意的是, OCD 量测与电性测试所用的图形结构通常并不一致。由于 OCD 量测图形的底层光罩进行了改版, 将原本的密集图形改为非图形的空旷区域, CMP 后整体厚度降低 (对比图 3(b)和(c))。这一变化使得在原始研磨时间下, 实际铜线厚度偏厚, 因此需延长研磨时间以将铜线厚度调整至目标值。此时, 由于 R_s 测试图形的底层结构保持不变, 该区域铜线厚度偏薄, 最终导致 R_s 结果偏高。然而, 这一问题往往只能在后续电性测试阶段被发现。

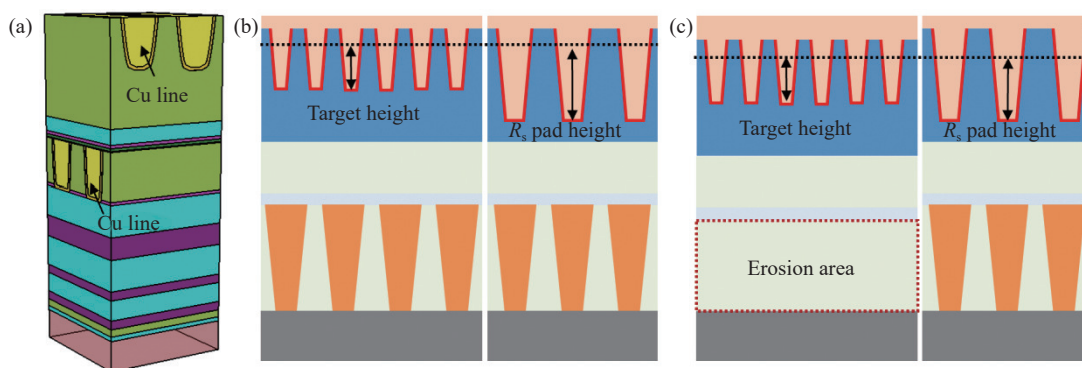


图 3 侵蚀行为造成电性漂移案例。(a) OCD 模型示意图; (b)~(c) 工艺改变前后的 OCD 及 R_s 测试结构示意图

Fig. 3 Wafer acceptance shift case induced by erosion behaviour. (a) Schematic diagram of the OCD model; (b) - (c) schematic diagrams of the OCD and R_s test structures before and after process modification

在制造端, 微侵蚀的改善主要依赖 CMP 工艺参数的优化以及抛光液选择性的控制; 而对于长程侵蚀, 由于其形成机制具有更强的图形相关性, 通常需要从设计源头予以规避。因此, 如何通过可制造性设计 (design for manufacturability, DFM) 方法, 协同优化版图设计、填充结构以及量测图形布局,

提升设计的可制造性, 已成为先进铜互连工艺中不可或缺的重要环节。

1.2 CMP 模型原理

CMP 模型的主要目标是预测晶圆表面不同位置处的材料去除率或 CMP 后的厚度, 如式(2)所示:

$$T(x, y) = T_0 - \int_0^t R(x, y, \tau) d\tau \quad (2)$$

式中, $T(x, y)$ 为抛光后某点的剩余厚度, T_0 为该点的初始厚度, $R(x, y, \tau)$ 为位置 (x, y) 在时间 τ 对应的去除速率。

传统 CMP 过程的物理模型主要基于 Preston 方程,但在现代集成电路制造中, CMP 去除速率不仅与工艺参数有关,还强烈依赖局部几何特征,其表达式如式(3)所示:

$$R(x, y) = k_p P(x, y) V(x, y) f_{\text{geo}}(x, y) \quad (3)$$

式中: k_p 为 Preston 常数,与材料和浆料性质有关; P 为抛光压力; V 为抛光盘相对速度; $f_{\text{geo}}(x, y)$ 为局部几何修正函数,其表达式如式(4)所示。

$$f_{\text{geo}}(x, y) = f\left(\sum_{i=1}^n k_i x_i + b\right) \quad (4)$$

局部几何修正函数用于描述局部图形结构对材料去除的影响,通常由设计版图的几何参数构建。式(4)的具体形式可为典型的多项式或线性组合模型。式(4)中: x_i 为版图的几何参数,包括线宽、间距、密度、周长以及图形长度等; k_i 为各几何特征的权重; b 为偏置项。除线性函数外, f 函数亦可选用非线性函数(如 Sigmoid 或 ReLU),以拟合复杂的非线性关系。

此外,由于 CMP 过程中机械接触与抛光液流动会引发局部扩散效应,因此局部去除速率并非仅由单点决定,而是由其邻近区域的加权平均值确定,如式(5)所示。 $K(i, j)$ 为高斯权重核,其表达式如式(6)所示。

$$R_{\text{smoothed}}(x, y) = \sum_{i=-k}^k \sum_{j=-k}^k K(i, j) R(x+i, y+j) \quad (5)$$

$$K(i, j) = \frac{1}{2\pi\sigma^2} e^{-\frac{i^2+j^2}{2\sigma^2}} \quad (6)$$

式(5)~(6)中: k 为核半径; σ 为高斯分布的标准差,该参数反映了机械接触的范围。

CMP 模型通过将版图几何特征映射为局部去除速率修正因子,并结合高斯卷积进行平滑处理,从而实现对 CMP 过程中侵蚀与凹陷效应的量化预测。该模型已成为 DFM 及光学邻近校正中的关键工艺仿真环节。

1.3 CMP 模型优化流程

CMP 模型的建立与优化主要包括以下步骤:

测试版图设计(pattern design)、光罩数据定版交付(mask tape-out)、晶圆制造(wafer processing)、数据收集(data collection)与模型优化(model optimization)。图4展示了 CMP 模型建立及优化的具体流程。首先,在设计 CMP 测试版图时,需构建能够覆盖产品设计规则所允许的线宽、图形密度、间距等全几何特征范围的测试结构。这些结构还需包含具有梯度变化的密集线阵列、孤立金属岛等典型或极端图形,以全面捕捉 CMP 工艺对不同几何特征的响应特性,从而确保模型输入信息具有足够的工艺覆盖范围。随后,在晶圆制造环节需严格遵循现有的薄膜沉积、曝光、刻蚀及 CMP 等标准化工艺流程,以确保实验数据能够准确反映测试图形在制造过程中的工艺效应。接着进行数据收集,主要依赖高精度量测表征工具: TEM 用于精确测量刻蚀、沉积及抛光后的薄膜厚度; AFM 用于获取 CMP 各阶段晶圆表面纳米级形貌信息,经数据处理后提取侵蚀参数作为模型输入。最后,基于所收集的关键参数进行模型验证。若验证通过,则硅片可进入正常生产流片流程;若验证失败,则需进一步优化模型。

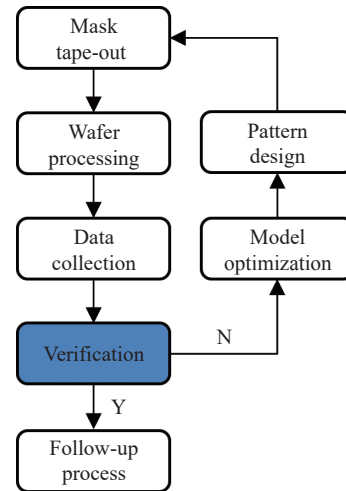


图4 CMP 模型建立及优化流程

Fig. 4 Establishment and optimisation process of CMP model

本研究的核心内容聚焦于数据验证阶段(图4蓝色标识部分)。通过优化 CMP 模型中 GW 的尺寸及其偏移策略,使模拟数据与 AFM 实测数据趋于一致,从而提升模拟精度。该过程为 CMP 模型的底层准确性提供了重要保障。

2 格点优化策略分析

2.1 GW 尺寸对侵蚀模拟结果的影响

图 5 展示了利用 AFM 设备测量铜 CMP 处理后硅片表面形貌曲线,以及对应量测区域的版图信息,图中蓝色条纹区域为铜线密集区,而中间无条纹区域则为大面积无铜线区域(空旷区),其主要填充材料为低介电常数的硅氧化物电介质层。可以清晰观察到,该空旷区域出现了显著的侵蚀现象,其高度较周围区域低约 25 nm。

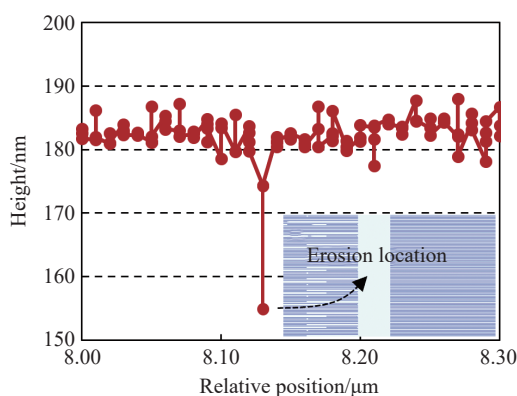


图 5 硅片表面形貌曲线以及对应量测区域的版图信息
Fig. 5 Surface topography curve of silicon wafer and corresponding layout information for the measured region

CMP 模型基于图形尺寸、图形密度等信息对侵蚀现象进行模拟。根据模拟结果,在侵蚀较为严重的区域通过增加辅助图形(dummy pattern)来优化形貌。模拟过程中 GW 尺寸对结果具有直接影响。图 6(a)展示了采用 20 μm 边长的 GW(绿色矩形)对目标图形区域进行表面形貌模拟的结果,可以看出模拟值(仅约 5 nm)与实测值之差异显著,误差高达约 20 nm。这一偏差使得针对此类情况的模拟工作面临挑战,不利于 CMP 模型的及时优化。为避免模型失效,通过调整 GW 尺寸来优化模拟过程,从而减少周围图形对模拟结果的干扰。分析表明,目标图形结构出现侵蚀现象的主要原因在于图形间存在超过 2.5 μm 的大间隔。基于此,分别选取边长为 10 μm 、5 μm 和 3 μm 的 GW 进行模拟,结果如图 6(b)所示。模拟值与实测值的对比表明:采用边长为 3 μm 的 GW 构建的模型所得的热点图形表面形貌模拟值比周围图形低约 25 nm,实现了对其表面形貌的精准模拟;同时,模拟值与实测值之间的误差仅约 1.5 nm。由此可见,当 GW 尺寸接

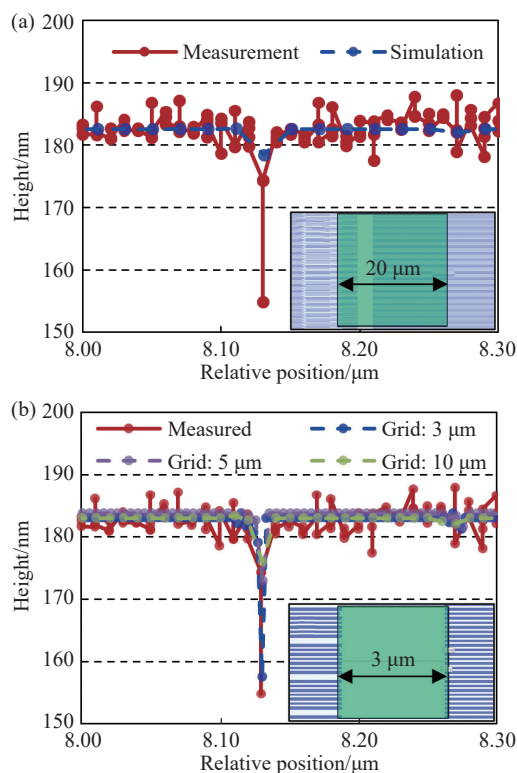


图 6 GW 尺寸为(a)20 μm 和(b)3~10 μm 时目标图形区域表面形貌的模拟结果与测量结果的对比。(a)、(b)中插图分别为对应 GW 的尺寸示意图

Fig. 6 Comparison of simulated and measured surface topography of the target pattern region for GW dimensions of (a) 20 μm and (b) 3-10 μm . The insets in (a) and (b) show the schematic diagrams of corresponding GW dimensions

近热点图形中无铜区域的尺寸时,仿真效果最优。因此,3 μm 边长的 GW 能够更精确地解析热点图形的结构特征,这为从版图中精准识别具有特殊几何结构的热点区域提供了有效依据。

图 6 所示的热点图形较为理想,其结构主要由大面积的空旷区及周边的高密度图形组成。为验证 3 μm 边长 GW 在该类版图结构中的鲁棒性与普适性,额外选取两种具有代表性的热点图形:一种为空旷区内包含辅助图形(图 7(a)),另一种为空旷区内存在间距较大的主要线条结构(图 7(b))。图 7 展示了这两种图形结构的实测表面形貌与仿真结果对比。结果表明,该模型能够准确预测上述两类特殊热点图形的最低点位置,为后续精准捕获此类热点图形提供了可能性。

综上,在基于版图信息进行表面形貌模拟的过程中,GW 尺寸的合理选择对热点图形的准确识别具有决定性作用。研究证实,采用 3 μm 边长 GW

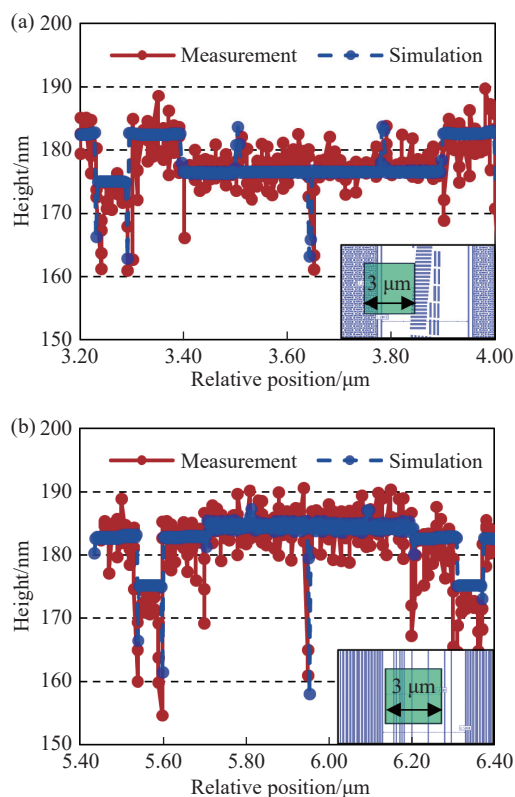


图7 热点图形的表面形貌模拟结果与测量结果的对比。(a)空旷区内包含辅助图形;(b)空旷区内存在间距较大的主要线条

Fig. 7 Comparison of simulated surface morphology results with measured data for hotspot patterns. (a) Auxiliary patterns present within open areas; (b) major lines with wider spacing observed within open areas

在捕捉热点图形表面形貌特征方面显著优于更大尺寸的格点策略,从而为提升集成电路制造中关键风险区域的监测精度提供了有效支持。

2.2 格点窗口偏移对侵蚀模拟结果的影响

热点图形的几何特征对 GW 尺寸及其在版图中的位置较为敏感。然而,在对整个版图进行模拟时, GW 相较于热点图形难免会出现偏移,从而导致热点图形几何信息提取不准确。为此,本文提出一种半格点偏移(偏移 $1.5 \mu\text{m}$)策略。偏移前,热点图形区域表面形貌的模拟高度比周围区域低约 6 nm ,如图 8(a)所示;偏移后,模拟高度仅比周围图形低约 2 nm ,如图 8(b)所示。对比 AFM 量测结果可以发现,采用半格点偏移后,模拟得到的表面形貌高度更加接近真实情况,有效提升了热点图形的模拟精度,为后续集成电路制造工艺中的相关分析

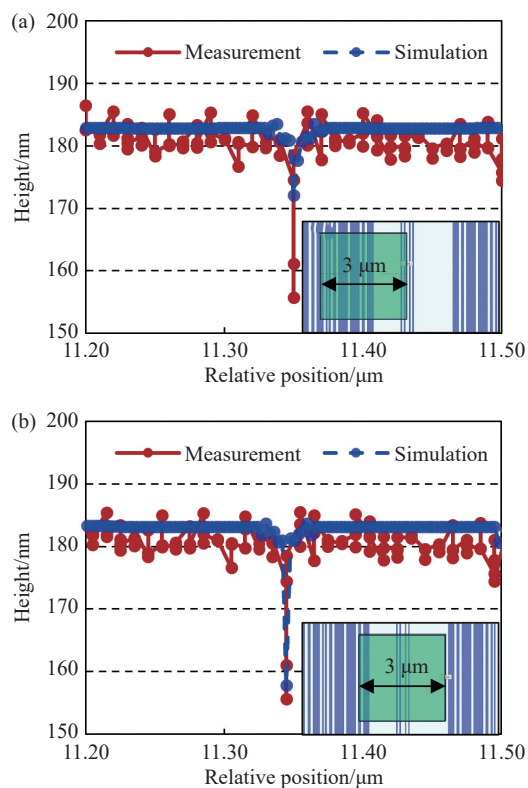


图8 半格点(a)移动前和(b)移动后表面形貌的模拟结果与量测结果对比

Fig. 8 Comparison between simulated results and measured results for surface morphology before (a) and after (b) half-lattice point displacement

与优化提供了更为可靠的数据支撑。

为增强模型对局部侵蚀的捕获能力,本研究在 $3 \mu\text{m}$ 边长 GW 的基础上引入窗口偏移策略,并进一步评估偏移步长分别为 0 、 $1/2$ 、 $1/3$ 与 $1/4$ 的 GW 边长(L_{GW})时的覆盖效果。如图 9 所示,不同初始相位下的窗口位置会导致 GW 与空旷区的重合程度发生变化,从而影响模型对最严重侵蚀的捕获能力。其中,每种条件下的最佳捕获位置用红色星号标识。可以看出:当偏移步长为 $L_{\text{GW}}/2$ 时, GW 能够与空旷区形成有效覆盖,从而捕获局部的最差侵蚀;当步长减小至 $L_{\text{GW}}/3$ 时,窗口间重叠度显著增加,且需进行 3 次扫描;步长为 $L_{\text{GW}}/4$ 时,虽然能够实现更全面的覆盖,但相邻窗口间的重叠度过高,导致了大量的冗余计算。适度的窗口偏移可提升局部特征的提取能力与模型的鲁棒性,但过小的步长会显著增加计算量和数据量,并引入大量相似样本,降低训练有效性,甚至可能引发过拟合。

综上,针对大格点情况下热点图形的几何结构

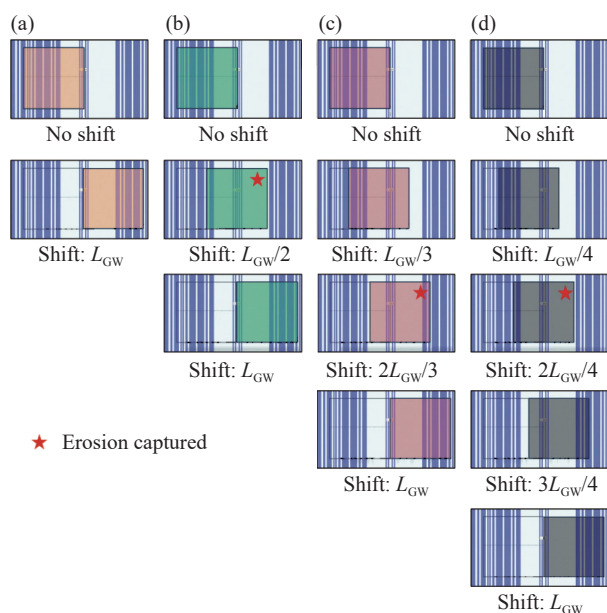


图9 (a)未进行格点偏移、(b)半格点移动、(c)1/3 格点移动及(d)1/4 格点移动的示意图

Fig. 9 Schematic diagrams of (a) no grid shift, (b) half-grid shift, (c) one-third grid shift, and (d) one-quarter grid shift

信息被均化, 导致无法准确模拟热点图形工艺效应的问题, 本文提出采用 $3\ \mu\text{m}$ 小格点替代传统的 $20\ \mu\text{m}$ 大格点, 并辅以 $1.5\ \mu\text{m}$ 半格点偏移的方法, 以更精确地模拟热点图形在工艺过程中引发的过度侵蚀状况。

2.3 多层堆叠表面形貌模拟

在现代集成电路中, 金属层间通过通孔结构实现垂直连接, 并以介电层进行隔离。这种金属-介质-金属的重复叠加结构使得每一层 CMP 后的残余应力与表面形貌变化都可能对后续金属层产生显著影响。因此, 准确模拟并评估 CMP 引起的多层形貌累积效应, 对于保障整体互连结构的可靠性至关重要。为验证所提出的格点优化策略在实际芯片制造中的适用性与有效性, 本节将其应用于真实多层金属互连结构中, 评估其在复杂叠层条件下对表面形貌的模拟能力。

首先, 选取一段在金属层 M1~M4 中均具有重复或相似结构特征的典型热点图形区域。图 10 (a)展示了 M1~M4 层的版图布局, 其中非图形区域由于缺乏足够的铜填充, 易在 CMP 过程中发生侵蚀, 进而在各层中逐步累积形成表面凹陷。图 10 (b)则展示了在此基础上叠加 M5 层后的整体布局。

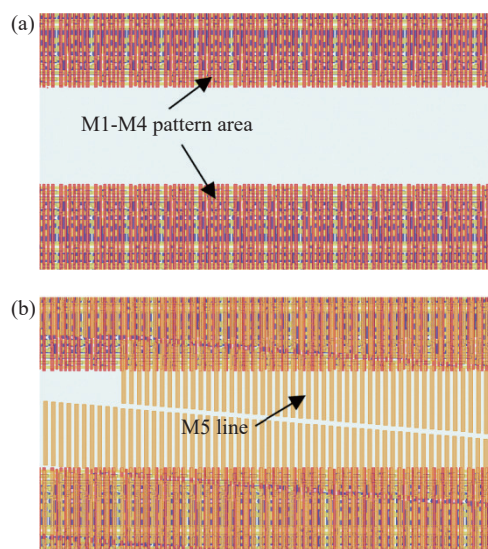


图 10 (a)M1~M4 以及(b)叠加 M5 后的热点图形区域版图信息

Fig. 10 Hot spot layout data for (a) M1-M4 and (b) M1-M4 overlaid with M5

进一步利用 CMP 模型对 M1~M4 层的介质形貌进行仿真。图 11(a)显示, 在每一金属层之后, 热点区域均出现不同程度的介质凹陷。其中, M1 层侵蚀深度约为 $10\ \text{nm}$, 随着结构的重复与堆叠, 至 M4 层该值逐渐增加至约 $17\ \text{nm}$, 形成明显的“盆地效应”。这一现象表明, CMP 过程中未完全修复的表面起伏可能在后续层间被放大。图 11(b)通过 M5 层的铜厚度变化间接印证了上述堆叠效应: 在热点区域内, 铜厚度明显高于周围区域, 这与 1.1 节的电性漂移问题一致。若将此方法应用于光罩改版前后的全面侵蚀仿真和热点图形预测, 则可有效避免上述问题的发生。因此, 基于下层表面形貌信息对上层金属厚度进行提前评估, 有望成为提升电路可靠性与流片成功率的关键环节。

为实现此类失效风险的有效预警, 可在模型中设置多层耦合条件与铜厚度异常阈值。当某区域铜厚度超出周边平均值的特定偏差 (如 10%), 或其下层介质侵蚀深度超过预设值 (如 $15\ \text{nm}$) 时, 模型将自动标记该区域为高风险区域。该机制可为 DFM 团队或工艺工程师在流片前提供早期反馈, 从而及时调整布局设计或工艺参数。

综上所述, 多层堆叠模拟结果表明, 通过引入精细格点 ($3\ \mu\text{m}$) 与偏移策略构建的 CMP 模型, 能够有效捕捉局部几何结构引发的形貌变化, 并对后续工艺中的传导效应进行量化分析。该方法具有

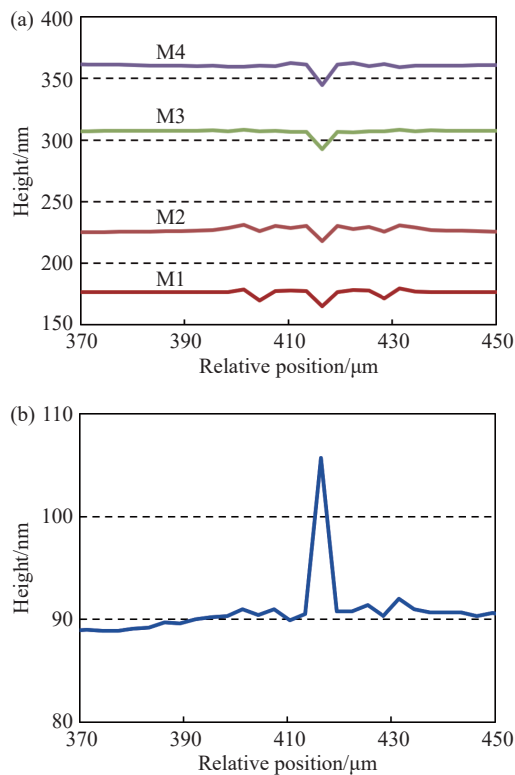


图 11 多层介质形貌仿真。(a) M1~M4 热点图形区域侵蚀模拟; (b) 热点图形区域 M5 铜线高度模拟

Fig. 11 Multi-layer topography simulation. (a) Erosion simulation of hot spot areas M1 to M4; (b) height simulation of the M5 Cu line in the hot spot area height simulation of M5 Cu line

良好的扩展性与适应性, 为多层互连结构的可靠性评估和工艺窗口优化提供了坚实的建模基础。

3 结论及展望

本文针对 CMP 模型中热点图形模拟精度不足的问题, 提出了一种有效的优化方案, 即采用小尺寸格点窗口 ($3\ \mu\text{m}$) 并结合半格点偏移策略。实验结果表明, 该方法能够准确捕捉热点区域的侵蚀缺陷, 并提升模型对多层堆叠结构潜在风险的识别能力。同时, 该建模策略可广泛应用于先进节点芯片制造中的 DFM 分析与工艺窗口优化。

参考文献:

- [1] IEEE Computer Society. International Roadmap for Devices and Systems (IRDS™) (2022) [EB/OL]. [2025-08-25]. <https://irds.ieee.org/editions/2022>.
- [2] ZEITZOFF P M, CHUNG J E. A perspective from the 2003 International Technology Roadmap for Semiconductors (ITRS): MOSFET scaling trends, challenges, and potential solutions[J]. *IEEE Circuits and Devices Magazine*, 2005, 21(1): 4-15.
- [3] WANG L, GUO X, LI W, et al. DFM study in low k_1 lithography process[J]. *ECS Transactions*, 2012, 44(1): 187-196.
- [4] ZHANG L, FANG J, MAO Z, et al. Optimization of M1 to contact connection in sub-40 nm node[J]. *ECS Transactions*, 2013, 52(1): 625-633.
- [5] GRONHEID R, REN H, CHENG G, et al. Influence of wafer topography on focus control and defectivity in EUV lithography [C]//Proceedings of the Optical and EUV Nanolithography XXXVIII. San Jose: SPIE, 2025: 13424.
- [6] LEE H, KIM H, JEONG H. Approaches to sustainability in chemical mechanical polishing (CMP): a review[J]. *International Journal of Precision Engineering and Manufacturing-Green Technology*, 2022, 9(1): 349-367.
- [7] EIN-ELI Y, STAROSVETSKY D. Review on copper chemical-mechanical polishing (CMP) and post-CMP cleaning in ultra large system integrated (ULSI): an electrochemical perspective[J]. *Electrochimica Acta*, 2007, 52(5): 1825-1838.
- [8] LEE D, LEE H, JEONG H. Slurry components in metal CMP process: a review[J]. *International Journal of Precision Engineering and Manufacturing*, 2016, 17(12): 1751-1762.
- [9] GUPTA P, KAHNG A B, PARK C H, et al. Wafer topography-aware optical proximity correction[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2006, 25(12): 2747-2756.
- [10] KIM N, KANG J H, JUNG S, et al. A new era DFM solution for yield enhancement using machine learning (ML) [C]//Proceedings of the DTCO and Computational Patterning III. San Jose: SPIE, 2024: 1295411.
- [11] HSIAO H H, WANG K J. HotspotFusion: a generative AI approach to predicting CMP hotspot in semiconductor manufacturing[J]. *IEEE Transactions on Semiconductor Manufacturing*, 2025, 38(1): 73-82.
- [12] International Technology Roadmap for Semiconductors. ITRS 2.0: Factory Integration (2015) [R/OL]. (2015-01-12) [2025-08-25]. https://www.semiconductors.org/wp-content/uploads/2018/06/7_2015-ITRS-2.0-Factory-Integration.pdf.