中国科学: 信息科学 2017 年 第 47 卷 第 2 期: 260–274
SCIENTIA SINICA Informationis
论文

基于时间数字转换的硅通孔绑定前测试方法

常郝[1*], 周万怀[1], 赵涛[1], 殷仕淑[2]

1. 安徽财经大学计算机科学与技术系, 蚌埠 233030
2. 安徽财经大学电子信息工程系, 蚌埠 233030
* 通信作者. E-mail: 007changhao@163.com

收稿日期: 2016–06–20; 接受日期: 2016–08–16; 网络出版日期: 2016–12–14
国家自然科学基金 (批准号: 61274036, 61371025, 61474036, 61540011, 31601224)、安徽省高校省级自然科学研究重点项目 (批准号: KJ2016A001, KJ2016A006, KJ2014A005) 和安徽省自然科学基金青年项目 (批准号: 1608085QF145) 资助

摘要 硅通孔中的缺陷不仅会导致硅通孔网络中传输延迟变化, 也会引起对故障更为敏感的跳变延迟波动. 本文基于时间数字转换原理提出一种非侵入式、皮秒级精度的绑定前硅通孔测试方法来检测电阻开路故障和泄漏故障. 把硅通孔看作是驱动门的容性负载, 遍历环状缩减单元的脉冲将会一直被缩减, 直到该脉冲消失. 将脉冲的缩减量数字化成一个数字码并与预期无故障信号的数字码进行比较. 使用 HSPICE 在 45 nm CMOS 集成电路工艺库下模拟故障检测实验. 实验结果表明本文方案能够检测到 0.2 kΩ 以上的电阻开路故障和等效泄漏电阻 40 MΩ 以下的泄漏故障. 与现有方案相比, 本文方案测试精度可以达到皮秒级, 具有更大的故障检测范围以及质量分级能力, 对初始输入信号频率或测试时钟信号频率无严格限制, 可测试性设计面积开销相比于晶片面积可以忽略不计.

关键词 可测试性设计, 内建自测试, 三维集成电路, 硅通孔, 时间数字转换

1 引言

三维集成电路 (three dimensional integrated circuits, 3D ICs) 在垂直方向上使用硅通孔 (through silicon via, TSV) 堆叠二维晶片 (die) 解决互连挑战, 能够有效克服二维集成电路的缺点, 被认为是延续摩尔定律的一种有效方法 [1]. 相比传统线绑定互连, 3D ICs 具有多个显著优点, 包括较小的外形尺寸、较高的互连带宽、较低的功耗以及支持异构集成 [2]. 据估计, 与传统的 2D IC 相比, 基于 TSV 互连的 3D ICs 能够在功耗上减少一半, 增加带宽达到 8 倍, 压缩存储器容量达 35% [3].

TSV 是 3D ICs 晶片层之间信号传输、供电以及散热的主要部件, 也是易受制造缺陷影响的敏感单元. TSV 制造过程中刻蚀缺陷会造成 TSV 产生裂纹、微孔, 甚至断裂. TSV 绑定过程中未与其他 TSV 对齐或晶片减薄之后未完全暴露出来, 导致 TSV 缺陷成簇出现 [4]. 铜膨胀速率 5 倍于硅, 随着晶片受热, 施加的热应力会导致 3D ICs 早期失效或寿命缩短. 电子迁移引起的延迟故障通常会演变成关键路径上难以测试的时序错误 [5]. 由于 TSV 周围的警示区 (keep out zone, KOZ) 对 3D ICs 的面

引用格式: 常郝, 周万怀, 赵涛, 等. 基于时间数字转换的硅通孔绑定前测试方法. 中国科学: 信息科学, 2017, 47: 260–274, doi: 10.1360/N112016-00081
Chang H, Zhou W H, Zhao T, et al. Prebond through silicon vias test based on time-to-digital conversion (in Chinese). Sci Sin Inform, 2017, 47: 260–274, doi: 10.1360/N112016-00081

© 2016《中国科学》杂志社

https://engine.scichina.com/doi/10.1360/N112016-00081

积开销具有显著影响, 在布局过程中有源器件可能被放置于紧邻 TSV 的区域. TSV 产生的应力可能会改变附近电子与空穴移动, 造成 TSV 附近晶体管由于距离或方向的不同而运行地更慢或更快. 在晶片的堆叠过程中, 即使一个故障 TSV 或 TSV 中的一个缺陷也可能会造成整个 3D ICs 失效. 由于 TSV 数目较多, 随着堆叠数量增加, TSV 失效造成 3D ICs 复合良率损失呈指数级上升. 制造缺陷测试是保证产品质量的内在需求, 因此出于故障检测与诊断以及内建自修复等提高良率和可靠性、降低制造成本的内在需求考虑, 必须在 TSV 出厂前进行彻底地测试以保证产品质量 [6].

现有 TSV 测试方法要么是基于探针/非接触测试, 要么是基于内建自测试 (built-in self-test, BIST) 的方案. 在晶圆减薄前, TSV 的一端埋于硅衬底导致可访问性较差. 探针测试可能会由于机械应力、静电 (electro-static discharge, ESD) 对 TSV、焊球 (microbump)、片上逻辑造成损伤, 多次探针接触可能会导致损伤进一步加重. 与传统线互连方式相比, TSV 具有尺寸小、密度高的特点. 在晶圆减薄之后, 对几微米至十几微米的 TSV 阵列进行探针测试而不损坏 TSV 尖端或减薄后的晶圆, 目前仍然极具挑战 [7,8]. 另一方面, 非接触测试技术中无线收发器和其他有源电路存在目前难以解决的信号耦合、串扰问题, 而且无线收发器和天线具有较大的面积和功耗开销. 另外, 供电 TSV (power/ground TSV) 仍然需要采用传统的针测来完成 [9]. 探针和非接触方案的局限性使得 BIST 方法成为一种优选方案.

本文基于时数转换原理研究信号经过 TSV 后跳变延迟 (transition delay) 波动, 以脉宽缩减量表征 TSV 中制造缺陷类型和严重程度, 提出一种基于时数转换的 BIST 方案. 脉宽缩减技术 (pulse shrinkage) 是时数转换原理的核心, 故本文方案简称为 PS 测试. 给定待测 TSV, 在驱动端发射一个脉冲信号. 由于 TSV 的容性负载效应, 在接收端接收到的信号具有固定的上升/下降时间. 一方面, 如果 TSV 无故障, 遍历缩减单元的脉冲信号在每个循环会被缩减一个固定脉宽, 直到该脉冲消失. 另一方面, 若 TSV 由于制造缺陷而存在较大的开路电阻或较大的等效电容, 那么通过该 TSV 的脉冲信号电压波形会产生扭曲, 产生不同的上升/下降时间, 引起跳变延迟变化, 从而影响脉宽缩减程度. 最后, 输出端利用二进制计数器和 D 触发器捕获信号循环次数并生成相应的数字码, 将该数字码与预期无故障 TSV 的数字码进行比较.

本文提出的 PS 测试在皮秒级精度下测量跳变延迟, 与现有方案相比具有多种技术优点, 使得 PS 方案不仅适用于内建自测试, 同时适用于时序敏感的内建自修复、故障分级领域. 据我们所知, 目前基于时数转换的 TSV 测试研究工作较少. 本文方案的技术价值主要包括如下几方面.

(1) PS 测试方案具有皮秒级精度和更大的故障检测范围. 环形振荡器方案本质上是一种基于传输延迟 (propagation delay) 的测试方法, 具有纳秒级精度 [10,11]. TSV 中的缺陷不仅会引起传输延迟变化, 同时还会引起 TSV 网络中对故障更为敏感的跳变延迟波动. PS 测试方案基于跳变延迟的测量, 测试精度达到皮秒级. 在故障检测范围方面, 同类方案中, 文献 [12] 仅能够测试 1 kΩ 以上的电阻开路故障, 文献 [13] 可测得等价电阻为 10 MΩ 的最小泄漏故障. 本文实验模拟结果表明, PS 方案能够检测 200 Ω 以上的电阻开路故障以及 40 MΩ 以下的泄漏故障.

(2) PS 测试方案不需要对脉冲宽度进行严格限制. 脉冲消失方案的测试结果对发射端所发射的脉冲宽度非常敏感, 且需要较高的测试时钟频率 [6]. PS 测试方案通过相邻门的相对尺寸比例控制脉宽缩减量, 不需要对脉冲宽度进行严格限制, 对于电路定制方面没有特殊要求, 该特征能够有效测试多种不同制造工艺、尺寸的 TSV, 减轻 ATE 或测试控制器的负担.

(3) PS 测试方案能够支持更细粒度的故障分级. 与文献 [5] 中具有 8 级的泄漏故障分级相比, PS 测试方案不仅支持故障检测, 还能够将电阻开路故障和泄漏故障的严重程度数字化成一个 260 级的数字码. 该特征对于后期故障诊断、内建自修复和 TSV 质量分级极其宝贵.

(4) PS 测试方案成本较低. PS 测试方案不需要探针, 是一种非侵入式测试方法. 本文环形缩减

https://engine.scichina.com/doi/10.1360/N112016-00081

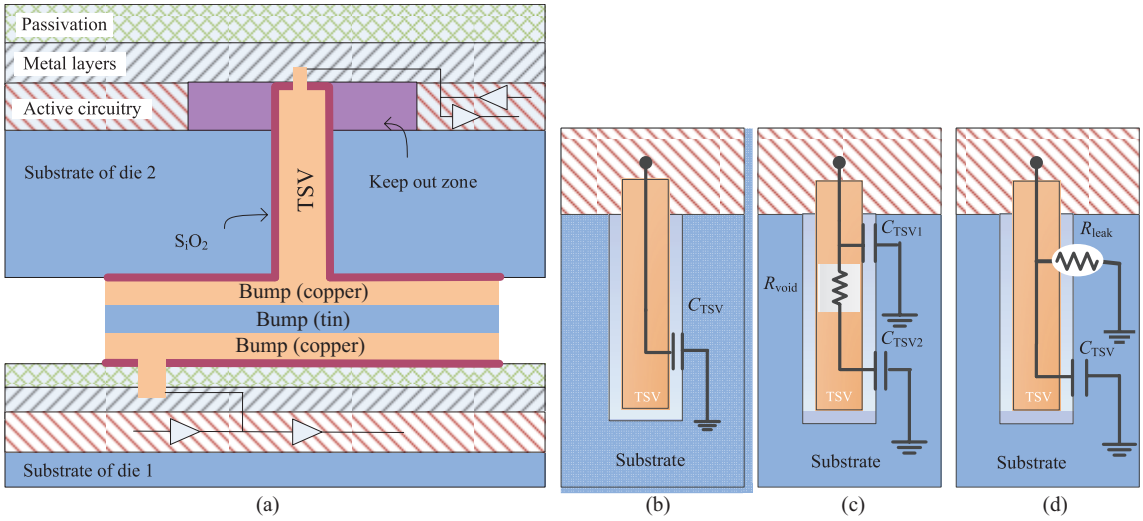


图 1　(网络版彩图) TSV 电气模型和故障模型

Figure 1　(Color online) Electrical model and fault model of TSV. (a) TSV bonding; (b) fault free; (c) resistive open fault; (d) leakage fault

链由偶数个尺寸不同的反相器构成, 另外增加了 5 个 D 触发器. 单根 TSV 的可测试性 (design for testability, DfT) 面积开销为 81.13 μm^2, 1000 根 TSV 的 DfT 面积开销占晶片面积的 0.32%. 在测试时间方面, 1000 根 TSV 两种故障的总测试时间处于毫秒级. 与环形振荡器方案 [10,11] 相比, 本文方案的 DfT 面积开销略有增加, 但考虑到测试精度、故障检测范围, 特别是 DfT 结构的灵活性优势, 面积开销的增加是值得的.

本文组织结构如下: 第 2 节介绍 TSV 电气模型和相关研究工作. 第 3 节提出时数转换测试方案. 第 4 节给出相应的实验分析结果. 最后第 5 节给出本文结论.

2　相关研究工作

2.1　TSV 电气模型和故障模型

如图 1(a) 所示, 绑定两个晶片的时候, 锡焊料将两层 TSV 的铜表面构成一个低电阻的连接. TSV 从底层晶片穿过, 经过衬底到达上层晶片的有源电路层, 然后穿过金属层, 在金属层与其他门电路相连. 在 TSV 和衬底之间的绝缘层非常薄, 不会增加 TSV 直径. 警示区 (keep out zone, KOZ) 是一个不包含有源电路的区域, 该区域面积与刻蚀、填充 TSV 的机械容忍度有关. TSV 可以看作是在硅衬底中由 S_iO_2 隔离的柱状金属条. 其电阻和电容可以表示为 [14]

$$R_{\mathrm{TSV}} \approx \frac{4\rho h}{\pi d^2}, \tag{1}$$

$$C_{\mathrm{TSV}} = \frac{2\pi\varepsilon h}{\ln[(d+2t_{ox})/d]} + \frac{\pi\varepsilon d^2}{4t_{ox}}, \tag{2}$$

其中, d, h 分别表示 TSV 的直径、高度, ρ 表示铜的电阻率, t_{ox} 是隔离层 S_iO_2 厚度, ε 是 S_iO_2 的介电常数. ρ 为常数, 取 1.72×10^{-8} Ω·m. 由于 TSV 高度、直径处于微米级, 故单位换算后的铜电阻率数据为 17.2 mΩ·μm. TSV 纵宽比取 5:1, 即 h 和 d 分别为 25 μm 和 5 μm, ε 取 $8.85\times3.9\times10^{-6}$ pF/μm,

https://engine.scichina.com/doi/10.1360/N112016-00081

t_{ox} 取 0.25 μm, 则可计算出 $R_{\mathrm{TSV}} = 21.90$ mΩ, $C_{\mathrm{TSV}} = 59.56$ fF. 由于影响 TSV 电气参数的因素较多, 本文实验中取 TSV 典型电阻值 20 mΩ, 电容值 60 fF.

TSV 的 RLC 电气模型在许多文献中均有提及 [11,15]. TSV 铜柱本身或侧壁的缺陷会改变 TSV 的电气参数. 图 1 列出了一些缺陷及其对 TSV 电气参数的影响. 一个无故障的 TSV 电气模型与导线类似, 能用电阻 R、电容 C 和电感 L 模型化. 如图 1(b) 所示, 由于 TSV 电阻和电感较小, 在绑定前阶段通常忽略 R 和 L 部分, 只考虑 TSV 和衬底之间寄生电容 C 的简化模型. 根据 TSV 制造缺陷类型可以将 TSV 故障建模为两种: 电阻开路故障和泄漏故障.

图 1(c) 给出了 TSV 电阻开路故障模型. TSV 柱体填充不充分、机械应力等因素会造成 TSV 裂纹、微孔, 甚至断裂. 微孔缺陷 (micro void) 会增加 TSV 柱体电阻 R_{void}, 根据缺陷的严重程度不同, 微孔缺陷可能从较小的延迟故障演变为完全电阻开路故障. 微孔的大小决定 R_{void} 从零到无穷大变化. 理想情况下, $R_{\mathrm{void}} = 0$, TSV 无故障; $R_{\mathrm{void}} = \infty$, TSV 断裂, 表现为完全开路故障, 此时 TSV 电容分为上下两部分, 上部分电容 $C_{\mathrm{TSV1}} = x/h \times C_{\mathrm{TSV}}$, 下部分电容 $C_{\mathrm{TSV2}} = (1 - x/h) \times C_{\mathrm{TSV}}$, 其中, x 代表微孔所在的位置, h 是衬底中 TSV 的长度. 因此, 微孔存在的位置和微孔的大小会影响微孔下部分电容 C_{TSV2} 对 TSV 电容的贡献. 当不存在微孔缺陷时, C_{TSV2} 对 TSV 的电容贡献为 100%, 此时 TSV 电容为 $C_{\mathrm{TSV1}} + C_{\mathrm{TSV2}} = C_{\mathrm{TSV}}$. 当微孔增大到一定程度时, 下部电容 C_{TSV2} 被微孔缺陷完全隔离, C_{TSV2} 对 TSV 电容贡献为 0, 此时, TSV 电容为 $C_{\mathrm{TSV1}} = x/h \times C_{\mathrm{TSV}}$. 图中微孔位于 $x = h/2$ 处.

图 1(d) 给出了 TSV 泄漏故障模型. 由于 TSV 柱体的隔离材料 S_iO_2 存在杂质、沉积不完整、应力而产生不规则的裂纹, 导致 TSV 与衬底之间形成泄漏路径, 产生针孔缺陷 (pin hole), 这可以建模成泄漏故障 R_{leak}. 针孔缺陷越发严重, TSV 与衬底之间的泄漏电流会显著增加. 针孔缺陷越大, R_{leak} 越小, 理想情况下, 不存在针孔缺陷时, $R_{\mathrm{leak}} = \infty$, 无泄漏故障.

本文使用 RC 模型来建模 TSV, 提出的 PS 测试方法既可用于绑定前 TSV 测试, 也可用于绑定后 TSV 测试. 在绑定后阶段, TSV 与另一端的接收逻辑物理相连, 绑定后 TSV 与绑定前 TSV 的差异在于 TSV 末端存在一个额外的锡焊料电阻和额外的门输入电容. 本文下面讨论的假设前提是绑定前的条件.

2.2 相关前期研究工作

近几年研究人员提出多种 BIST 方法来检测完全开路、微孔或针孔缺陷. 一般情况下, TSV 用作容性负载, 通过间接测量, 即绑定前 TSV 尖端 (绑定前唯一可访问的一端) 的信号充放电延迟来测量 RC 参数. 表 1 从基本方案、故障模型、测试精度、面积开销和额外特征这 5 个方面比较了基于 BIST 的 TSV 测试相关工作.

(1) L2VCC, CAF-WAS 方案及其变种. 第一种基于 BIST 的 TSV 测试方法最早在文献 [16] 中提出, 称之为 L2VCC (leakage to voltage conversion and then comparison). L2VCC 方法的基本原理是, 通过在 TSV 结点添加一个上拉电路将泄漏量转换成电压, 泄漏路径到接地形成分压结构. 电路稳定后, TSV 结点的电压反映了泄漏程度. L2VCC 方法的主要缺点是测试精度不高, 需要使用模拟电路或专门定制的电路来进行模拟信号电压检测. 第二种方法称之为 CAF-WAS (charge-and-float, wait-and-sample), 这种方法最早在文献 [14] 中提出, 主要是基于泄漏电流感应器来检测针孔缺陷. CAF-WAS 方法的基本原理是: 首先打开三态缓冲器对 TSV 充电, 然后关闭三态缓冲器使 TSV 浮空并等待一段时间, 最后在输出端采样并得出一个二进制的故障检测结果 “通过” 或者 “不通过”. Natale 设计一个专用的延迟电路改进了 WAS-CAF 方法 [13]. Huang 等通过将泄漏电流的严重程度分为 8 个级别来进一步改进 WAS-CAF 方法 [5]. CAF-WAS 方法的主要问题在于, TSV 浮空后的 “等待时间” 难以定量确

https://engine.scichina.com/doi/10.1360/N112016-00081

表 1 TSV 测试相关文献总结

Table 1 Test methods for TSV

Work	Basic scheme	Fault model	Accuracy	Area overhead	Extra feature
Wu Cheng-Wen 2009-ATS [16]	L2VCC	Open, leakage	8.90%	10 um^2	Analog
Wu Cheng-Wen 2010-VTS [12]	CAF-WAS	Open, leakage	5.00%	NULL	Capacitance test
G. Di. Natale 2014-VTS [13]	CAF-WAS	Open, leakage	2.00%	NULL	Delay circuit
Shi-Yu Huang 2013-TCAD [5]	CAF-WAS	Open, leakage	ns level	54.43 μm^2	Leakage binning
K. Chakrabarty 2014-TCAD [10]	Ring Oscillator	Open, leakage	ns level	0.01 mm^2	NULL
Montanes 2014-ETS [12]	Duty cycle	Open	ns level	NULL	$\geqslant$1 kΩ
Shi-Yu Huang 2014-TCAD [6]	Pulse vanishing	Open, bridging	ns level	54.90%	Diagnosis
This work	Time-to-digital conversion	Open, leakage	ps level	81.13 μm^2	Flexiblity

定, 需要仔细设计等待时间生成电路, 因为它对待检测故障阈值非常敏感. 进一步, WAS-CAF 方法缺乏灵活性, 在多种 TSV 尺寸条件下很难确定一个统一的、确切的 “等待时间”. 在实施过程中, 需要修改 CAF-WAS 方法使之能够灵活处理不同制造工艺下生产的 TSV.

(2) 环形振荡器方案及其变种. Chakrabarty 等和 Huang 等提出一种基于环形振荡器的 TSV 测试方案 [5,10,11]. TSV 驱动器、接收器和其他反相器构成环形振荡器, 振荡信号作为时钟的二进制计数器用来捕获振荡周期. 由于 TSV 制造缺陷改变了环形振荡器网络的传输延迟, 因此可以通过测量环形振荡器周期来检测 TSV 电气参数变化. 在文献 [12] 中, 使用经过平衡逻辑门 (balanced logic gate) 后信号占空比的变化来检测 TSV 中的不完全开路缺陷. 然而, 环形振荡器的振荡周期处于纳秒级, 而 TSV 的 RC 参数变化引起的传输延迟通常是皮秒级, 因此 TSV 中一些细微的制造缺陷容易被 DfT 电路所掩盖, 导致测试精度降低.

(3) 脉冲消失方案. Huang 等针对转接板 (interposer) 测试问题提出一种脉冲消失测试方法 (pulse vanishing test, PV 测试) [6]. 给定待测转接板, 在驱动端发射一个脉宽较短的测试脉冲. 如果转接板由于制造缺陷产生较大的电阻, 所发射的测试脉冲会在传播过程中消失; 如果在接收端检测到脉冲信号, 表明转接板无故障. 然而, 我们无法将脉冲消失测试方法直接运用于 TSV 测试, 原因在于以下 3 方面. 一方面, 脉冲消失法的测试结果极为依赖脉冲宽度的设置. 与转接板相比, TSV 的电容更小, 要求发射信号的脉宽更窄, 比如 300 ps 或更少, 这对片上或 ATE 上的脉冲发生器的信号频率具有更严格的要求. 另一方面, 脉冲消失法的测试结果也依赖于 TSV 故障类型及故障程度. 在早期制造阶段, 未知故障类型或 TSV 失效程度的情况下, 很难确定一个合适的脉冲宽度, 这与 CAF-WAS 方法类似. 最后, 脉冲消失法的适用性有限. 3D ICs 中通常有多种类型的 TSV, 如信号 TSV、供电 TSV、测试专用 TSV 以及散热 TSV, 而脉冲消失法只能适应一种类型 TSV. 一种可行的弥补措施是, 发射多个不同脉宽的脉冲信号, 然而这会增加时钟发生器或测试控制器的负担.

3 基于时数转换的 TSV 绑定前测试方案

TSV 中的缺陷不仅会引起传输延迟的变化, 也会引起 TSV 网络中对故障更为敏感的跳变延迟波动, 从而引起输入脉宽缩减量的变化. 本文基于时数转换原理研究信号经过 TSV 后跳变延迟变化, 以脉宽缩减量衡量 TSV 中制造缺陷的严重程度, 提出一种基于时数转换的 BIST 方案, 以此检测 TSV 的电阻开路故障和泄漏故障.

https://engine.scichina.com/doi/10.1360/N112016-00081

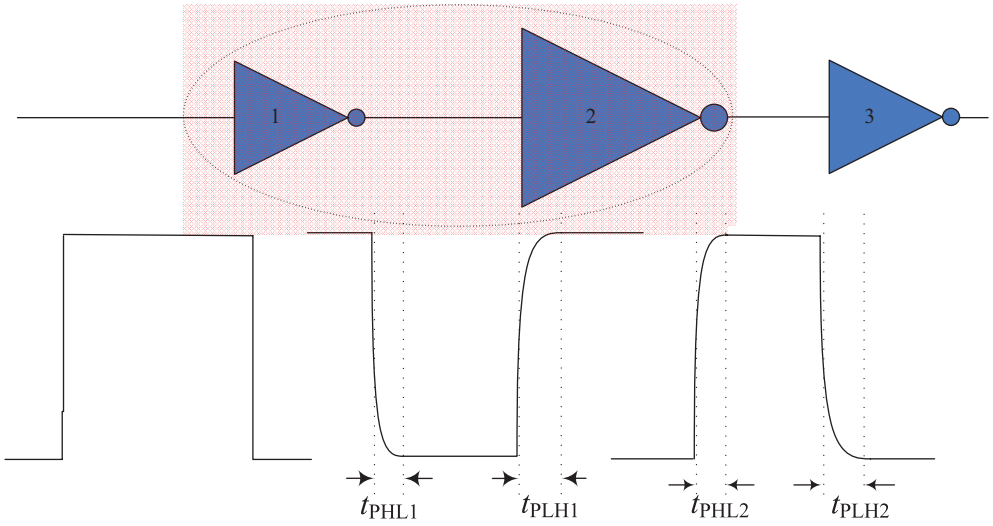


图 2 (网络版彩图) 脉宽缩减单元结构

Figure 2 (Color online) Delay element of pulse shrinkage

3.1 脉宽缩减单元结构

调整晶体管宽长比 (aspect ratio) 是设计者手中最有效的性能优化工具. 上升时间 t_{r} 和下降时间 t_{f} 是对信号波形的一种度量, 表明信号在不同电平下跳变的快慢程度. 图 2 给出了脉宽缩减单元的结构图. 反相器 1 和 3 中晶体管的宽长比相等, 与反相器 2 的晶体管宽长比不等. 晶体管宽长比的不同使得输入信号在门的相邻接口处上升时间和下降时间不等, 这种非对称性可以用来精确控制脉冲信号缩减或展宽的时间. 反相器 1 和 2 构成一个脉宽缩减单元. 当信号经过反相器 1 后, 信号宽度将会被缩减 $t_{\mathrm{PHL1}}-t_{\mathrm{PLH1}}$, 其中 t_{PHL1} 表示信号输出跳变从高至低的响应时间, t_{PLH1} 表示输出跳变从低至高的响应时间. 同理, 缩减后的脉冲经过反相器 2 将会再次缩减 $t_{\mathrm{PHL2}}-t_{\mathrm{PLH2}}$. 因此, 信号经过一个缩减单元后脉宽将会被缩减 ΔW,

$$\Delta W=(t_{\mathrm{PHL1}}-t_{\mathrm{PLH1}})+(t_{\mathrm{PHL2}}-t_{\mathrm{PLH2}}). \tag{3}$$

为简化推导过程, 假设信号是一阶估计的多段线性信号. 当脉冲信号从反相器 1 到反相器 2 的时候, 跳变延迟时间由下式给出 [17]:

$$t_{\mathrm{PHL1}}=\frac{2C_2V_{\mathrm{TN}}}{k_{N1}(V_{\mathrm{DD}}-V_{\mathrm{TN}})^2}+\frac{C_2}{k_{N1}(V_{\mathrm{DD}}-V_{\mathrm{TN}})}\cdot\ln\left(\frac{1.5V_{\mathrm{DD}}-2V_{\mathrm{TN}}}{0.5V_{\mathrm{DD}}}\right), \tag{4}$$

$$t_{\mathrm{PLH1}}=\frac{-2C_2V_{\mathrm{TP}}}{k_{P1}(V_{\mathrm{DD}}+V_{\mathrm{TP}})^2}+\frac{C_2}{k_{P1}(V_{\mathrm{DD}}+V_{\mathrm{TP}})}\cdot\ln\left(\frac{1.5V_{\mathrm{DD}}+2V_{\mathrm{TN}}}{0.5V_{\mathrm{DD}}}\right), \tag{5}$$

其中, k_{N1}, k_{P1} 是反相器 1 的互导参数, C_2 是反相器 2 的有效输入电容. 假设 $-V_{\mathrm{TP}}=V_{\mathrm{TN}}$, 那么从反相器 1 到反相器 2 的脉冲信号缩减时间为 $\Delta W_1=t_{\mathrm{PHL1}}-t_{\mathrm{PLH1}}$:

$$\Delta W_1=C_2\left(\frac{1}{k_{P1}}-\frac{1}{k_{N1}}\right)\left[\frac{2V_{\mathrm{TN}}}{(V_{\mathrm{DD}}-V_{\mathrm{TN}})^2}+\frac{1}{V_{\mathrm{DD}}-V_{\mathrm{TN}}}\right]\cdot\ln\left(\frac{1.5V_{\mathrm{DD}}-2V_{\mathrm{TN}}}{0.5V_{\mathrm{DD}}}\right). \tag{6}$$

https://engine.scichina.com/doi/10.1360/N112016-00081

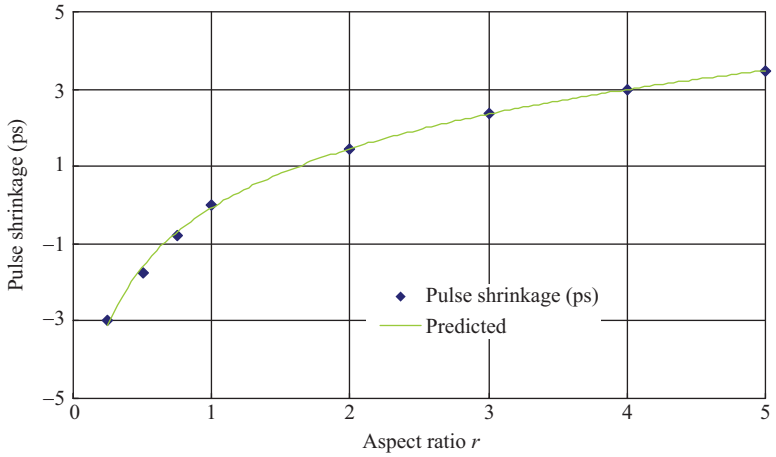


图 3 (网络版彩图) 宽长比对脉宽缩减的影响

Figure 3 (Color online) Influence of aspect ratio on the pulse shrinkage

同理, 从反相器 2 到反相器 3 的脉冲信号缩减时间为 $\Delta W_2 = t_{\mathrm{PHL2}} - t_{\mathrm{PLH2}}$:

$$\Delta W_2 = -C_3\left(\frac{1}{k_{P2}} - \frac{1}{k_{N2}}\right)\left[\frac{2V_{\mathrm{TN}}}{(V_{\mathrm{DD}} - V_{\mathrm{TN}})^2} + \frac{1}{V_{\mathrm{DD}} - V_{\mathrm{TN}}}\right] \cdot \ln\left(\frac{1.5V_{\mathrm{DD}} - 2V_{\mathrm{TN}}}{0.5V_{\mathrm{DD}}}\right). \tag{7}$$

其中, 反相器 1 和 3 中晶体管宽长比相同, 故 $C_3 = C_1$. 总的脉冲缩减时间为

$$\Delta W = \Delta W_1 + \Delta W_2 = \partial_i\left[C_2\left(\frac{1}{k_{P1}} - \frac{1}{k_{N1}}\right) - C_1\left(\frac{1}{k_{P2}} - \frac{1}{k_{N2}}\right)\right], \tag{8}$$

其中,

$$\partial_i = \frac{2V_{\mathrm{TN}}}{(V_{\mathrm{DD}} - V_{\mathrm{TN}})^2} + \frac{1}{(V_{\mathrm{DD}} - V_{\mathrm{TN}})} \cdot \ln\left(\frac{1.5V_{\mathrm{DD}} - 2V_{\mathrm{TN}}}{0.5V_{\mathrm{DD}}}\right). \tag{9}$$

式 (9) 中的 ∂_i 是一个布局独立的固定常数. 通过调整反相器中晶体管的宽长比 (r), 可以容易地控制脉宽缩减时间. 例如, 假设反相器 1~3 中晶体管长度和宽度分别为 $L_1 = L_2 = L_3$ 和 $W_2 = rW_1 = rW_3$, 则有 $k_{N2} = rk_{N1}$, $k_{P2} = rk_{P1}$, $C_2 = rC_1 = rC_3$. 总的脉宽缩减时间可以简化为

$$\Delta W = \left(r - \frac{1}{r}\right) C_1\left(\frac{1}{k_{P1}} - \frac{1}{k_{N1}}\right)\partial_i. \tag{10}$$

由式 (10) 可以看出, 当 $r = 1$ 的时候脉宽缩减量为 0, 表明信号经过该反相器后上升时间和下降时间相同. 当 $r > 1$ 时, 脉冲宽度将会被缩减, 而当 $r < 1$ 时脉冲宽度将会被展宽.

图 3 显示了不同 r 值的模拟结果. 当信号经过一个脉宽缩减单元时, 调整反相器中晶体管宽长比参数 r, 脉冲信号将会被缩减 ΔW. 将多个缩减单元连接起来形成一个线性缩减链, 脉宽为 T 的脉冲经过 $T/\Delta W$ 个缩减单元后就会完全消失. 信号缩减分辨率由 ΔW 决定, 远小于整个延迟链周期, 因此相比于环形振荡器方案, 可以达到更高的测试精度.

3.2 基于时数转换的 TSV 测试结构

图 4 给出了基于时数转换的 TSV 测试结构. 使用两个对称的反相器作为 TSV 驱动器和接收器. OR 门和 AND 门用作耦合单元, 脉宽缩减单元由 2 个不对称的反相器构成. 将脉宽缩减链由线性改

https://engine.scichina.com/doi/10.1360/N112016-00081

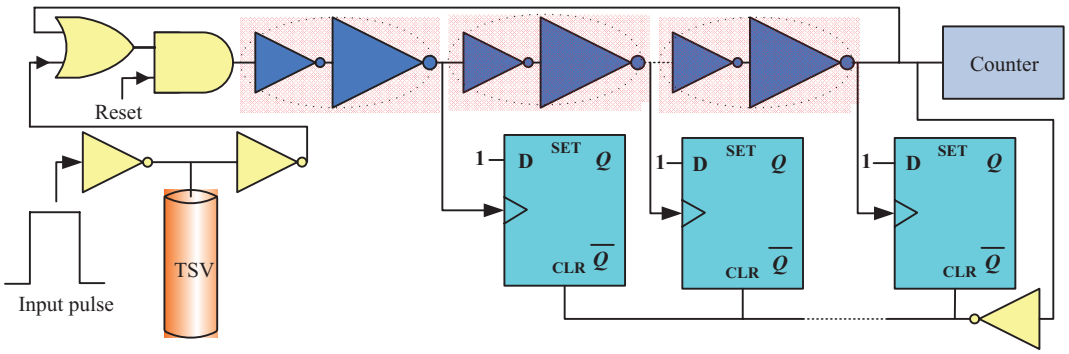


图 4 (网络版彩图) 基于时数转换的 TSV 测试结构

Figure 4 (Color online) Test architecture based on time-to-digital conversion

为环状, 一方面可以节省 DfT 面积开销, 另一方面能够测试各种类型、故障程度的 TSV, 提高 DfT 灵活性.

在测量开始之前, 复位信号置为 0, 然后保持高电平. 从 TSV 输入的脉冲信号将会遍历延迟链上每个缩减单元, 并在环状缩减单元中循环, 在每个循环周期会被缩减一个固定的脉宽, 直到该脉冲消失. 输出计数器的作用是记录循环周期数, 在每个循环周期完成后加 1. 缩减后的信号又返回至 OR 门, 同时该信号会被共享, 使之经过一个反相器后能够复位所有 D 触发器. 在脉冲信号缩减的最后几个周期中, 输入脉冲变得非常窄, 计数器状态难以翻转. D 触发器的作用是记录计数器无法翻转时的脉宽缩减量. 具体做法是, 每个缩减单元的输出连接至 D 触发器的时钟端, D 触发器的 D 端固定接 1, 因此如果存在脉冲信号, D 触发器将会锁存 1.

脉宽缩减量由异构门 (AND 和 OR 门) 和同构门 (缩减单元中的反相器) 中晶体管的宽长比共同决定, 而有效缩减分辨率 $T_{\rm LSB}$ 主要由缩减单元决定. 在同时考虑异构门和同构门的情况下, $T_{\rm LSB} \approx \Delta W$. 输出计数器捕获信号循环次数, D 触发器记录计数器无法翻转时的脉宽缩减量, 二者组合生成相应的数字码, 并与预期无故障 TSV 的数字码值进行比较得出测试结果. 数字码 m 可以通过式 (11) 计算,

$$m = N_{\rm c} \times N_{\rm s} + n_{\rm D}, \tag{11}$$

其中 $N_{\rm c}$ 是输出计数器捕获到的循环次数, $N_{\rm s}$ 是缩减单元的数目, $n_{\rm D}$ 是 D 触发器记录的 1 的数目.

当最后几个循环周期输入脉冲变得非常窄, 计数器状态难以翻转的时候, 测试结构会出现较大偏移误差. 可以通过校正过程进行误差补偿. 首先为缩减网络输入两个参考脉冲, 其周期分别为 $T_{\rm ref1}$ 和 $T_{\rm ref2}$. 假设这两个参考脉冲的数字码分别为 N 和 N', 则有 $T_{\rm ref1} = \alpha N + T_{\rm offset}$, $T_{\rm ref2} = \alpha N' + T_{\rm offset}$, 其中 α 为有效缩减分辨率, $T_{\rm offset}$ 为测量误差. 通过上述等式求解 α 和 $T_{\rm offset}$, 输入脉冲宽度 $T_{\rm in}$ 可以计算为

$$T_{\rm in} = \alpha M + T_{\rm offset} = \frac{(M-N)T_{\rm ref2} + (N'-M)T_{\rm ref1}}{N'-N}, \tag{12}$$

其中 M 为输入脉冲捕获到的数字码. 假设 $T_{\rm ref2}$ 为参考频率 $T_{\rm ref1}$ 的两倍, 则有 $T_{\rm ref2} = 2T_{\rm ref1} = 2T_{\rm ref}$ 和 $T_{\rm in} = \frac{M+N'-2N}{N'-N} T_{\rm ref}$. 在必要的时候, 可以在测量之前进行校正, 获得最佳测试精度.

https://engine.scichina.com/doi/10.1360/N112016-00081

4 仿真结果分析

为评估时数转换 TSV 测试结构的测试精度和故障检测范围, 本文基于 45 nm 模型工艺库 [18] 在 HSPICE 环境中进行模拟. 环状缩减链有 5 个缩减单元, 其组成具体为 5 个 X1 反相器和 5 个 X4 反相器构成的缩减单元, 3 个 X1 反相器构成 TSV 的驱动器、接收器以及复位, 一个 X1 倍 OR 门, 1 个 X1 AND 门, 5 个 X1 DFFR 触发器和一个 8 个 X1 倍 DFFR 组成的 8 位计数器. 所有逻辑门均来自 Nangate 45 nm 开放工艺库 [19]. 缩减单元中晶体管宽长比设置为 $r = 4$.

4.1 输入脉冲频率影响分析

本文所提时数转换方法的优点之一对初始输入信号频率或测试时钟信号频率没有严格限制, 弥补了脉冲消失方案在实际应用中的缺陷, 可以适用于一般的中低速测试频率.

使用 HSPICE 模拟输入信号宽度为 10 ns, 3 ns, 1 ns 条件下, 即分别以 100 MHz, 333 MHz 和 1 GHz 信号频率代表低速、中速、高速测试信号, 模拟出测试实验结果. 表 2 给出了输入信号频率与接收端二进制计数器位数、ATE 或片上信号生成条件和测试时间的关系.

计数器位数主要由初始输入信号宽度、脉宽缩减量、缩减单元数目决定. 当输入信号频率较高时, 输入信号宽度较小, 一般不会导致计数器溢出. 但是高测试频率, 如现有条件下, 1 GHz 会造成 ATE 或片上信号生成单元较大负担, 甚至无法生成这么高的测试频率. 然而, 当输入信号频率较低时, 信号宽度较大, 可能会造成计数器溢出. 解决办法有 2 种: (1) 增大计数器位数, 从而增大计数范围, 代价是增大了计数器所占 DfT 面积开销; (2) 增大缩减链中缩减单元数目, 代价是增大了缩减单元所占的 DfT 面积开销, 降低了测试精度. 本文增加 D 触发器的目的是降低测量误差, 提高测试精度. 假设输入脉冲宽度为 W ps, 缩减单元数目为 $N_{\rm s}$, 单级缩减量为 ΔW ps, 则计数器位数 n 由式 (13) 给出,

$$n=\left\lceil \log_2^{\frac{W}{N_{\rm s}\times\Delta W}} \right\rceil . \tag{13}$$

假设输入脉冲宽度为 3 ns, 采用 5 级缩减链, 单级缩减量为 3 ps, 则计数器位数为 8.

测试时间的估算方法与文献 [10] 类似, 具体如下:

- 使用 15 个 TCK 周期装载 JTAG 指令, 取决于指令寄存器长度;
- 使用 “信号宽度/(缩减单元数目 × 缩减单元脉宽缩减量)” 个 TCK 周期写入/读取计数器、复位;
- 使用 n 个 TCK 周期进行信号移位、捕获.

假设输入信号宽度为 3 ns, TCK 频率是 333 MHz, 采用 5 级缩减链, 单级脉宽缩减单元的缩减量为 3 ps, 则单根 TSV 一种故障的测试时间可估算为 (15+3000/(3×5)+8)× TCK=669 ns, 则单根 TSV 测试电阻开路故障和泄漏故障的总时间为 1338 ns.

假设一个晶片中有 1000 根 TSV, 则测试计数器位数、ATE 或片上信号生成条件、电阻开路故障和泄漏故障的总时间如表 2 所示. 从表 2 可以看出, 相比于 100 MHz 的测试激励, 1 GHz 测试激励下, 测试时间较短, 二进制计数器的位数较少, 但是 1 GHz 测试激励的生成对 ATE 或片上测试时钟要求较高.

4.2 测试精度分析

时数转换测试结构的测试精度主要由单级缩减单元的缩减分辨率 (缩减量) 决定. 计数器的最小计数时间不需要严格要求, 只要大于单个缩减单元脉宽缩减量即可正常工作. 也就是说, 被缩减后的脉

https://engine.scichina.com/doi/10.1360/N112016-00081

表 2 输入脉冲频率影响

Table 2 Influence for frequency of input pulse

Frequency	Bits of binary counter	Generation condition for ATE	Test application time
100 MHz	10	Low	$\leqslant$ 14 ms
333 MHz	8	Medium	$\leqslant$ 2 ms
1 GHz	7	High	$\leqslant$ 0.2 ms

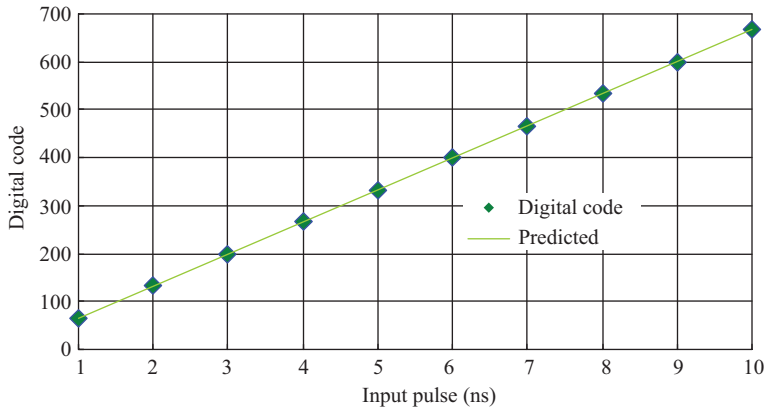


图 5 (网络版彩图) 输入脉冲的数字码

Figure 5 (Color online) Digital code measured of input pulse

冲宽度, 特别是最后阶段脉宽非常窄的时候, 脉宽要能够使得计数器翻转, 否则计数器停止工作. D 触发器的作用是当计数器无法翻转时记录剩余的脉宽缩减量. D 触发器与计数器最小计数时间相同, 但从计数关系来说, 计数器的一次翻转, 数字码加 1, 相当于 5 个 D 触发器, 即一次循环. 然后信号重新回到起始点, D 触发器复位. 当信号无法使计数器翻转, 即信号宽度很窄, 小于 5 $\times$ 脉宽缩减量时, 比如只有 3 $\times$ 脉宽缩减量, 计数器时钟无法捕获到信号, 从而无法翻转进行计数. 这时 5 个 D 触发器中的前 3 个捕获到信号, D 触发器翻转为 1. 从这点上来说, 二进制计数器相当于 “粗调”, 而 D 触发器相当于 “微调”. 退一步说, 如果去掉 D 触发器, 本文结构仍然能够工作, 但无法捕获剩余的脉冲宽度, 测试精度会降低至 5 级缩减链分辨率.

本文在 HSPICE 环境中设置晶体管宽长比 $r = 4$, 对脉宽为 1~10 ns 的输入脉冲进行编码. 图 5 给出了实验测量结果和拟合直线. 缩减分辨率定义为输入信号脉宽与数字码的比率. 由模拟结果知输入脉宽 1 ns, 3 ns, 10 ns 下数字码分别是 67, 200, 667. 由此推算出单级脉宽缩减单元的缩减量为 3 ps, 则 5 级缩减单元构成的环状缩减链分辨率是 15 ps. 假设信号宽度为 760 ps, 则计数器记录结果为 $(00110010)_2 = (50)_{10}$, 剩余 10 ps 脉宽经过 5 级缩减单元后会消失, 无法使计数器翻转, 此时, 5 个 D 触发器中的前 3 个记录 1, 剩余 1 ps 无法使得第 4 个 D 触发器翻转, 因此得出数字码为 53, 测试误差小于单个缩减单元的缩减分辨率. 若去掉 5 个 D 触发器, 则计数器记录结果为 $(00110010)_2 = (50)_{10}$, 数字码为 50, 测量误差为 10 ps, 小于 5 级缩减链分辨率.

传输延迟是水平方向上的信号变化, 相比之下, 垂直方向上的跳变延迟对故障的变化更为敏感, 这正是本文测试精度相比于环形振荡器方案要更高的根本原因.

https://engine.scichina.com/doi/10.1360/N112016-00081

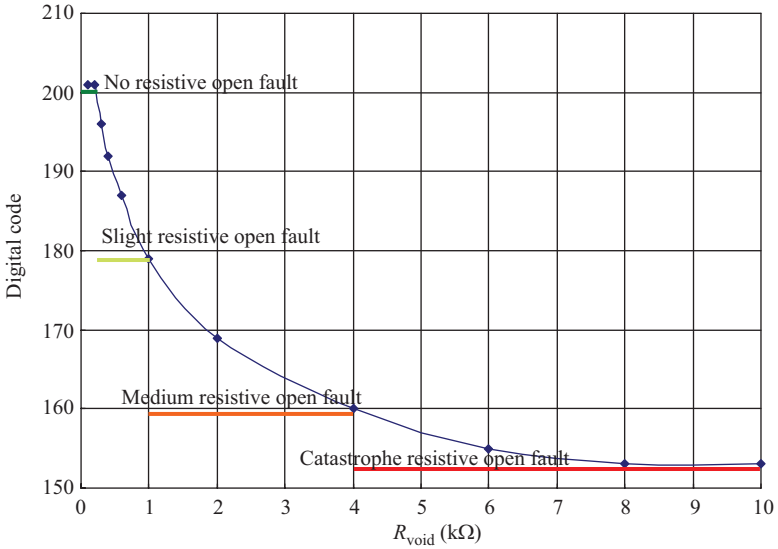


图 6 (网络版彩图) 电阻开路故障 R_{void} 的数字码

Figure 6 (Color online) Digital code versus resistive open fault (R_{void})

4.3 电阻开路故障和泄漏故障的检测范围与 TSV 质量分级

假设电阻开路故障位于 $x = h/2$ 位置处, TSV 电容值为 60 fF, 其中 h 表示 TSV 高度. 输入脉冲宽度设置为 $W = 3$ ns, 供电电压为 1.2 V. 电阻开路故障的阻值 R_{void} 从 0.1 kΩ (近似无电阻开路故障) 增加到 10 kΩ (强电阻开路故障, 近似于完全断裂). 在此模型下进行瞬态分析并记录数字码.

图 6 给出了电阻开路故障与数字码的对应关系. 随着电阻开路故障 R_{void} 增加, 数字码从 201 降至 153, 这表明通过直接测量数字码能够检测足够大的开路电阻. 当开路电阻 R_{void} 从 8 kΩ 增加至 10 kΩ 的时候, 数字码停留在 153 不再发生变化, 这表明 TSV 在 $h/2$ 处已经完全断裂. 当开路电阻从 0.2 kΩ 降至 0.1 kΩ 的时候, 数字码停留在 201 保持不变, 这表明本文方案只能够检测出 0.2 kΩ 的开路电阻会被认为是无故障的. 通常情况下, 较大的电阻开路故障一般较容易测出, 但是将一个较小电阻开路故障的 TSV 与正常无故障 TSV 区分开是一件非常困难的任务. 本文方案能够实现在 $h/2$ 处检测最小达 0.2 kΩ 的电阻开路故障.

泄漏故障行为与电阻开路故障不同. HSPICE 中模拟条件与上述一致, 图 7 给出了泄漏电阻 R_{leak} 与数字码的对应关系. 首先观察到随着泄漏电阻从 0.3 kΩ 增加到 50 MΩ, 即泄漏电流越来越小, 数字码从 260 降至 203. 第二, 严重泄漏故障, 如 $R_{\text{leak}} \approx 0.5$ kΩ, 计数器记录最大值 255, 5 个 D 触发器锁存 1, 这表明数字码无法继续增加. 本文方案采用 8 位计数器 (最大值 255) 和 5 个 D 触发器记录数字码, 260 是其能够表示的最大值. 一种简单的解决办法是, 使用位数更长的计数器, 代价是可测试性设计的面积开销会相应增大. 一般情况下, 严重泄漏故障一般较容易测出, 然而, 将一个小的泄漏故障, 即具有较大泄漏电阻 R_{leak}, 与无故障 TSV 区分开来也是非常困难的任务. 当泄漏电阻从 40 MΩ 增加至 50 MΩ 的时候, 数字码停留在 203 保持不变, 这表明泄漏电流已经非常小, 可以认为是无泄漏故障. 因此, 本文方案能够检测到的最小泄漏故障的等价电阻为 40 MΩ.

同类方法中, 文献 [12] 只能检测电阻开路故障, 作者没有研究泄漏故障的测试. 从故障检测范围来看, 仅能够测试 1 kΩ 以上的电阻开路故障. 文献 [13] 可测得最小泄漏故障的等价电阻 10 MΩ. 在文献 [6,16] 中, 作者没有直接说明测试精度和故障检测范围, 我们分析应该是纳米级精度. 与同类方法

https://engine.scichina.com/doi/10.1360/N112016-00081

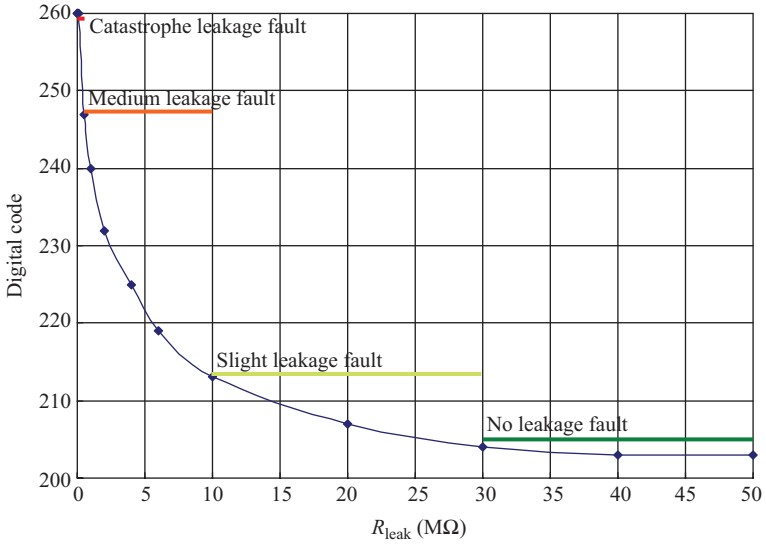


图 7 (网络版彩图) 泄漏故障 $R_{\rm leak}$ 的数字码

Figure 7 (Color online) Digital code versus leakage fault ($R_{\rm leak}$)

相比, 本文时数转换结构测得电阻开路故障下最小阻值为 200 Ω, 泄漏故障下最小泄漏故障等价阻值为 40 MΩ. 由此看出本文方案明显优于同类方案. 但是单从电阻的测量上来说, 无故障下 TSV 阻值约为 20 MΩ, 与本文结构在电阻开路故障下测得最小阻值 200 Ω 相差很大. 我们分析根本原因在于, 本文 BIST 方法是一种间接测试方法, 主要通过 TSV 电阻开路故障下阻抗引起跳变延迟的波动来测试 TSV. 就测试精确性而言, BIST 方法尚不如直接测试方法, 如探针测试方法, 这是 BIST 方法的共性, 由此可以看出 BIST 方法尚有很大提升空间.

一方面, 从测试结构的角度考虑, 衡量测试方法好坏的标准主要是: 测试精度、故障检测范围以及测试方法的灵活性. 另一方面, 从待测对象 TSV 或 TSV 制造商的角度考虑, 一种测试方法最直接的结果就是给出质量分级. 质量分级可对 TSV 进行分类, 进而用于不同 TSV 精度要求的电路中, 减少 TSV 的浪费, 降低制造成本. 根据测试激励信号通过待测 TSV 后信号循环次数的不同来确定 TSV 故障程度, 从而对待测 TSV 的延迟时间进行定位. 信号循环次数和延迟时间主要体现在数字码的不同, 从而实现 TSV 质量分级. 本文将 TSV 质量等级分为 4 种, 分别是: 无故障、轻微故障、中等故障和严重故障. 实际测试中, TSV 制造商可以根据测得的数字码判别故障类型和故障严重程度.

例如, 对于电阻开路故障, 如图 6 所示, 当 $R_{\rm void} \leqslant 300\ \Omega$, 数字码范围是 [196, 201], 表示待测 TSV 无电阻开路故障; 当 $300\ \Omega < R_{\rm void} \leqslant 1\ {\rm k}\Omega$, 数字码范围是 [179, 196), 表示待测 TSV 存在轻微电阻开路故障; 当 $1\ {\rm k}\Omega < R_{\rm void} \leqslant 4\ {\rm k}\Omega$, 数字码的范围是 [160, 179), 表示待测 TSV 存在中等电阻开路故障; 当 $R_{\rm void} > 4\ {\rm k}\Omega$, 数字码范围是 [153, 160), 表示待测 TSV 存在严重电阻开路故障, 此时 TSV 可能在 $h/2$ 处完全断裂.

对于泄漏故障, 如图 7 所示, 当 $R_{\rm leak} \geqslant 30\ {\rm M}\Omega$, 数字码范围是 [203, 204], 表示待测 TSV 无泄漏故障; 当 $10\ {\rm M}\Omega \leqslant R_{\rm leak} < 30\ {\rm M}\Omega$, 数字码的范围是 (204, 213], 表示待测 TSV 存在轻微泄漏故障; 当 $1\ {\rm M}\Omega \leqslant R_{\rm leak} < 10\ {\rm M}\Omega$, 数字码的范围是 (213, 240], 表示待测 TSV 存在中等泄漏故障; 当 $R_{\rm leak} < 1\ {\rm M}\Omega$, 数字码 > 240, 表示待测 TSV 存在严重泄漏故障.

https://engine.scichina.com/doi/10.1360/N112016-00081

值得注意的是, 当数字码等于 202 的时候, 无法判别是无故障、电阻开路故障还是泄露故障, 存在一个小概率的测试混淆的可能性, $1/(260-153)\approx 0.93\%$. 我们推测, 这样的测试混淆错误原因在于脉冲发生器的抖动效应或计数器的测量误差.

4.4 可测试性设计的面积开销

本文方案的优点之一在于环状脉宽缩减链相比线性链能够节省面积开销. 如前所述, 脉宽为 T 的脉冲经过 T/T_{LSB} 个缩减单元后将会完全消失, 这表明线性链的缩减单元和 D 触发器数目至少为 T/T_{LSB}, 并且会随着脉宽 T 增加. 在环状脉宽缩减链中, 只需要 N_{s} 个缩减单元和 D 触发器. 一般情况下, $T/T_{\mathrm{LSB}}\gg N_{\mathrm{s}}$, 因此本文方案能够节省面积开销. 同时, 由于缩减单元数目较少, 可测试性设计电路自身工艺偏差引起的测试混淆概率也会降低.

本文 DfT 所用标准单元面积开销数据均来自 Nangate 45 nm 开放工艺库. 对于每个 TSV, 使用两个对称的反相器 INV X1 作为 TSV 驱动器和接收器, 10 个反相器构成 5 级环状缩减链, 其中包括 5 个 INV X1 和 5 个 INV X4, 1 个反相器 INV X1 用作 D 触发器复位. 根据 Nangate 45 nm 开放工艺库中的数据计算得到面积开销为 0.532 $\mu m^2\times 13$. 1 个 OR X1 和 AND X1 用作信号耦合, 其面积开销为 0.798 $\mu m^2\times 2$. 8 个 DFFR X1 组成 8 位二进制计数器和 5 个 DFFR X1 用于计数, 其面积开销为 5.586 $\mu m^2\times 8$+5.586 $\mu m^2\times 5$. 因此 DfT 电路占用的总面积为 0.532×13+0.798×2 +5.586×8+5.586×5= 81.13 μm^2. 假设每个晶片有 1000 根 TSV, 则 DfT 面积开销为 81.13×1000=81130 μm^2, 对于一个 25 mm^2 的晶片来说, DfT 所占面积开销约为 0.32%, 相对于整个晶片的比例较小, 可忽略不计.

与环形振荡器方案相比, 原理上, 环形振荡器主要是基于传输延迟的测量, 而本文时数转换结构主要是基于跳变延迟的测量. 结构上, 环形振荡器中的振荡环由奇数个反相器构成, 本文环形缩减链由偶数个尺寸不同的反相器构成, 另外增加了 5 个 D 触发器, 本文方案 DfT 面积开销略有增加. 考虑到测试精度、故障检测范围, 特别是 DfT 结构的灵活性, 面积开销的略微增加是值得的. 从测试精度由纳秒级提高至皮秒级的角度来看, 增加一个反相器和 D 触发器的面积开销是值得的. 而且, 本文方案可以进一步去掉 D 触发器来节省 DfT 的面积开销, 代价是脉宽缩减分辨率从 3 ps 增加至 15 ps, 测试精度在一定程度上降低. 尽管如此, 本文方案仍然优于纳秒级精度的环形振荡器方案.

5 结论

多功能测试方法应该能够适应不同的测试阈值、TSV 类型以及失效程度. 输入阶段的测试激励信号宽度、捕获阶段的计数器位数和 D 触发器数目、测试结果分析阶段的故障检测范围和测试精度, 这 3 方面通常相互制约、相互影响. 现有的测试方法很难在测试精度、故障检测范围以及 DfT 设计的灵活性、适用范围方面达到完美统一. 本文利用相邻同构门中晶体管宽长比的不同来控制脉宽缩减量, 并进一步以环状结构组织脉宽缩减单元. 与同类方案相比, 本文方案具有更高的皮秒级测试精度, 同时能够检测 0.2 kΩ 以上的电阻开路故障以及等价泄漏电阻 40 MΩ 以下的泄漏故障. 在测试方案的灵活性和适用性方面, 能够有效测试不同制造工艺或尺寸的 TSV, 且降低了片上脉冲发生器或 ATE 的时钟频率限制, 这一特征在 TSV 早期制造阶段无法得知具体的故障类型和失效程度的情况下极为实用.

致谢 感谢合肥工业大学梁华国教授和易茂祥教授提出的修改建议.

https://engine.scichina.com/doi/10.1360/N112016-00081

参考文献

1 Liu J, Wu X, Liang H G, et al. Optimizing the number of leaf nodes and TSVs in three dimensional scan tree. Sci Sin Inform, 2014, 44: 1203–1215 [刘军, 吴玺, 梁华国, 等. 三维扫描树叶子节点和 TSVs 数量的优化方法. 中国科学: 信息科学, 2014, 44: 1203–1215]

2 Chang H, Liang H G, Li Y, et al. Optimized stacking order for 3D-stacked ICs considering the probability and cost of failed bonding. In: Proceedings of the International Symposium on VLSI Design, Automation and Test, Hsinchu, 2014. 283–286

3 Rajski J, Tyszer J. Fault diagnosis of TSV-based interconnects in 3-D stacked designs. In: Proceedings of IEEE International Test Conference, Anaheim, 2013. 1–9

4 Jiang L, Ye F M, Xu Q, et al. On effective and efficient in-field TSV repair for stacked 3D ICs. In: Proceedings of the 50th ACM/IEEE Design Automation Conference, Austin, 2013. 1–6

5 Huang S-Y, Lin Y-H, Huang L-R, et al. Programmable leakage test and binning for TSVs with self-timed timing control. IEEE Trans Comput Aid D, 2013, 32: 1265–1273

6 Huang S-Y, Lee J-Y, Tsai K-H, et al. Pulse-vanishing test for interposers wires in 2.5-D IC. IEEE Trans Comput Aid D, 2014, 33: 1258–1268

7 Jiang L, Huang X W, Xie H F, et al. A novel TSV probing technique with adhesive test interposer. In: Proceedings of the 33rd IEEE International Conference on Computer Design, New York, 2015. 597–604

8 Lueck M R, Gregory C W, Malta D, et al. High density interconnect bonding of heterogeneous materials using non-collapsible microbumps at 10μm pitch. In: Proceedings of the IEEE International 3D Systems Integration Conference, San Francisco, 2013. 1–5

9 Lu J-H, Loke W-F, Jung B. Millimeter-wave wireless interconnect for 3-D SIC testing. IEEE Des Test, 2014, 31: 29–37

10 Deutsch S, Chakrabarty K. Contactless pre-bond TSV test and diagnosis using ring oscillators and multiple voltage levels. IEEE Trans Comput Aid D, 2014, 33: 774–785

11 Huang L-R, Huang S-Y, Sunter S, et al. Oscillation-based prebond TSV test. IEEE Trans Comput Aid D, 2013, 32: 1440–1444

12 Montanes R R, Arumi D, Figueras J. Post-bond test of through-silicon vias with open defects. In: Proceedings of the 19th IEEE European Test Symposium, Paderborn, 2014. 1–6

13 Natale G D, Flottes M L, Rouzeyre B, et al. Built-in self-test for manufacturing TSV defects before bonding. In: Proceedings of the IEEE VLSI Test Symposium, Napa, 2014. 1–6

14 Chen P-Y, Wu C-W, Kwai D-M. On-chip testing of blind and open-sleeve TSVs for 3D IC before bonding. In: Proceedings of the IEEE VLSI Test Symposium, Santa Cruz, 2010. 263–268

15 Noia B, Chakrabarty K. Pre-bond probing of TSVs in 3D stacked ICs. In: Proceedings of the IEEE International Test Conference, Anaheim, 2011. 1–10

16 Chen P-Y, Wu C-W, Kwai D-M. On-chip TSV testing for 3D IC before bonding using sense amplification. In: Proceedings of the Asian Test Symposium, Taichung, 2009. 450–455

17 Rabaey J M, Chandrakasan A, Nikolic B. Digital Integrated Circuits-A Design Perspective. 2nd ed. New Jersey: Prentice Hall, 2003. 25–32

18 Arumi D, Montanes R R, Figueras J. Pre-bond testing of weak defects in TSVs. In: Proceedings of the IEEE International On-Line Testing Symposium, Catalunya, 2014. 31–36

19 Lou Y, Yan Z, Zhang F, et al. Comparing through-silicon-via (TSV) void/pinhole defect self-test methods. J Electron Test, 2012, 28: 27–38

https://engine.scichina.com/doi/10.1360/N112016-00081

Prebond through silicon vias test based on time-to-digital conversion

Hao CHANG[1*], Wanhuai ZHOU[1], Tao ZHAO[1] & Shishu YIN[2]

1. *Department of Computer Science and Technology, Anhui University of Finance and Economics, Bengbu* 233030*, China*;
2. *Department of Electronic and Electrical Egineering, Anhui University of Finance and Economics, Bengbu* 233030*, China*
*Corresponding author. E-mail: 007changhao@163.com

Abstract Defects in through silicon vias (TSV) not only lead to the variation of the propagation delay but also to that of the transition delay, which is more sensitive to TSV faults. A non-invasive approach for pre-bond TSV tests based on time-to-digital conversion is proposed to detect resistive open and leakage faults with picosecond accuracy. The TSVs are used as capacitive loads of their driving gates. The pulse visiting the cyclic shrinkage cells will then shrink until it vanishes completely. The shrinkage amount is digitized and compared with the expected fault-free value. The fault detection experiments are carried out with HSPICE simulations using realistic 45-nm CMOS technology models. The results show the effectiveness in the detection of resistive open defects 0.2 KΩ above and equivalent leakage resistance less than 40 MΩ. . This scheme is capable of TSV quality binning; the frequencies of the input pulse or test clock have no strict limit. The estimated area overhead of the design for testability is negligible for realistic dies.

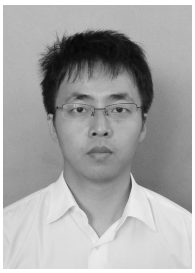
Keywords design for testability, built-in self-test, three-dimensional integrated circuit, through silicon vias, time-to-digital conversion



Hao CHANG was born in 1983. He received his Ph.D. degree in computer application technology from Hefei University of Technology, Hefei, China, in 2015. He is an associate professor in the Department of Computer Science and Technology of Anhui University of Finance and Economics. Currently, his research interests include 3D ICs integration and test, built-in self-test, and fault tolerance.



Wanhuai ZHOU was born in 1983. He received his Ph.D. in biosystems engineering from Zhejiang University in 2014. He is a lecturer in the Department of Computer Science and Technology of Anhui University of Finance and Economics. His main research areas are the analysis of near-infrared spectra and algorithms of the near-infrared spectral database.



Tao ZHAO was born in 1980. He received his Ph.D. degree in computer science from Northwest Polytechnical University in Xian, China, in 2009. He currently is an associate professor at Anhui University of Finance and Economics. His research interests include wireless sensor network and network security.



Shishu YIN was born in 1978. She received her M.E. degree in electrical and electronic engineering from the University of Science and Technology of China in Hefei, China, in 2002, and her Ph.D. degree from the Department of Electrical and Electronic Engineering of the University of Hong Kong in 2007. She now is an associate professor at the Department of Electronic and Information Engineering of Anhui University of Finance and Economics in Bengbu, China. Her research interests include multirate and statistical signal processing, in particular filter bank design, audio signal processing, and image signal processing.

https://engine.scichina.com/doi/10.1360/N112016-00081